

平成 30 年度 修士論文

キャラクタライズと回路解析を用いた
演算増幅器の自動設計

指導教員 高井 伸和 准教授

群馬大学大学院 理工学府 理工学専攻

電子情報・数理教育プログラム

T171D006 石井 司

平成 31 年 3 月

1 はじめに

1.1 背景

集積回路は半導体プロセスの微細化に伴い規定のチップ面積に多種の機能を集約することが可能となった。その反面、集積回路規模の増大や複雑化に伴い開発期間の長期化が深刻な問題となっている。近年、IoT 端末に代表される電子機器にはアナログ回路とデジタル回路を 1 チップに搭載した「アナログ・デジタル混載 LSI」が組み込まれており、高機能な電子機器製品の実現には、フロントエンド部で混載 LSI の高性能化及び設計時間の短縮化が要求される。デジタル回路では、論理合成技術による自動設計方法で設計時間の大幅短縮が可能となっている。しかし、アナログ回路では設計者の知識に基づいて用途に応じた回路トポロジー及びパラメータの決定を行うため、IC の高性能化に比例して設計時間の長期化がボトルネックとなっている。そのため、計算機支援による自動設計手法が提案されており、アナログ集積回路設計の自動化が注目されている。

1.2 目的

アナログ集積回路の自動設計手法には大きく、「乱数によりトポロジーや素子値を決定する手法」と「理論をベースにトポロジーや素子値を決定する手法」の 2 つがある。乱数によりトポロジーや素子値を決定する手法では、最適化アルゴリズムの 1 つである遺伝的アルゴリズム (GA: Genetic Algorithm) を用いた手法 [1]~[35] が提案されている。この手法は MOSFET のモデルによる影響を受けることなく回路を作成できる反面、探索空間が非常に広く、それに伴い多くの回路を作成する必要があるため、シミュレーションの冗長性という問題があった。そこで、回路設計者の知識を用いて素子値を算出する知識ベースの手法 [36]~[37] や、回路の特性方程式から適切な素子値を算出する数式ベースの手法 [40]~[42] のように理論をベースにトポロジーや素子値を決定する手法が提案されている。数式ベースの手法では、MOSFET のモデル式を用いて、各パラメータを決定するため、レベル 1 モデルの飽和電流式

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \left(1 + \frac{V_{DS}}{V_A} \right) \quad (1.1)$$

のような簡単な数式を用いる場合は安易に実現出来るが、近年の微細プロセスの

MOSFET のモデル式は非常に複雑であり、かつ MOSFET のサイズやバイアス電圧が変化するとパラメータが変化してしまうため、数式ベースの自動設計は困難である。そのため、この問題を解決するために、MOSFET のサイズやバイアス電圧によって変化するパラメータを自動で算出する MOSFET のキャラクタライズ自動化システムを提案した[43]。これにより、式(1.1)を用いた固定のトポロジーでの数式ベースによる自動設計[38]~[39]が可能となり、シミュレーションの冗長性という問題を解決した。しかし、固定のトポロジーでは、要求仕様を満たさなかった場合、設計者が新たにトポロジーと理論式を考えなければならない。そのため、拡張性に優れず、要求仕様の幅を狭めてしまうという課題が残った。

本研究では、文献[38]~[39]をさらに発展させ、回路を解析・作成することで、理論式の作成を自動化し、複数のトポロジーを用いた数式ベースによる自動設計を可能とした。これにより、要求仕様の幅の増加、性能の向上を目指す。検証として各性能のトレードオフを考慮した評価関数を用いて従来手法と比較する。

1.3 本論文の構成

本論文は、6章から成る。まず、第2章では本研究での MOSFET キャラクタライズ自動化の手順を報告する。次に、第3章で、回路の解析・作成について報告する。第4章では本研究での演算増幅器の自動設計方法を報告する。第5章では本研究での手法と従来手法で自動設計された演算増幅器の性能における比較及び考察を報告する。最後に、第6章では本研究におけるまとめと、今後の課題を報告する。

Contents

1	はじめに	2
1.1	背景.....	2
1.2	目的.....	2
1.3	本論文の構成.....	3
2	MOSFET のキャラクタライズ自動化	7
2.1	概要.....	7
2.2	素子値の決定.....	7
2.3	閾値及び相互コンダクタンスの傾きの算出.....	9
2.4	アーリー電圧の算出	12
2.5	移動度・ゲート酸化膜容量の算出.....	14
2.6	算出されたキャラクタライズの一例	14
3	回路の解析・作成	15
3.1	概要.....	15
3.2	回路の登録	15
3.3	ネットリストの読み込み	15
3.4	回路の列分解.....	28
3.5	1 次合成	31
3.6	端子の格納	34
3.7	2 次合成	35
3.8	3 次合成	37
3.8.1	概要	37
3.8.2	L 、 V_{eff} 、電位、電流の付与	39
3.8.3	ゲートの接続	41
3.8.4	素子値、電位の調整.....	43
3.9	素子値の決定.....	44

4	演算増幅器の自動設計	45
4.1	自動設計の流れ	45
4.2	データベースの作成	46
4.2.1	概要	46
4.2.2	回路の作成条件	47
4.2.3	シミュレーションの実行・評価・保存	47
4.2.3.1	電源電圧	47
4.2.3.2	消費電流	47
4.2.3.3	消費電力	49
4.2.3.4	出力抵抗	49
4.2.3.5	直流利得	50
4.2.3.6	位相余裕	51
4.2.3.7	利得帯域幅	52
4.2.3.8	入力換算雑音	52
4.2.3.9	スルーレート	53
4.2.3.10	同相除去比	57
4.2.3.11	電源電圧変動除去比	58
4.2.3.12	同相入力範囲	60
4.2.3.13	出力電圧範囲	62
4.2.4	データベースの一例	63
4.3	作成回路数・要求仕様の決定	
	キャラクタライズ・データベースの読み込み	64
4.3.1	作成回路数・要求仕様の決定	64
4.3.2	キャラクタライズ・データベースの読み込み	64
4.4	回路の解析・作成	66
4.5	シミュレーションの実行・評価・回路の出力	66
5	演算増幅器の自動設計結果	67

5.1	概要	67
5.2	要求仕様の決定	67
5.3	自動設計結果.....	67
6	まとめ・今後の課題	70
6.1	まとめ	70
6.2	今後の課題	70

2 MOSFET のキャラクタライズ自動化

2.1 概要

本研究は文献[43]を参考に MOSFET の素子値を表 2.1 に示す範囲の全てをキャラクタライズする。MOSFET モデルは MOSIS にて公開されている TSMC 社 CMOS0.18 μm のプロセス[44]を使用する。キャラクタライズの手順は図 2.1 に示す流れに沿って行う。シミュレーションには回路設計の解析のツールの 1 つである HSPICE を用いた。

表 2.1: キャラクタライズ条件

	範囲	間隔
MOSFET のゲート長(L)[μm]	0.2~10.0	0.1
MOSFET のゲート幅(W)[μm]	2.0~100.0	$10 \times L$
実行ゲート電圧(V_{eff})[V]	0.10~0.30	0.01

2.2 素子値の決定

表 2.1 の範囲から素子値を選択し、次節の算出に用いる。

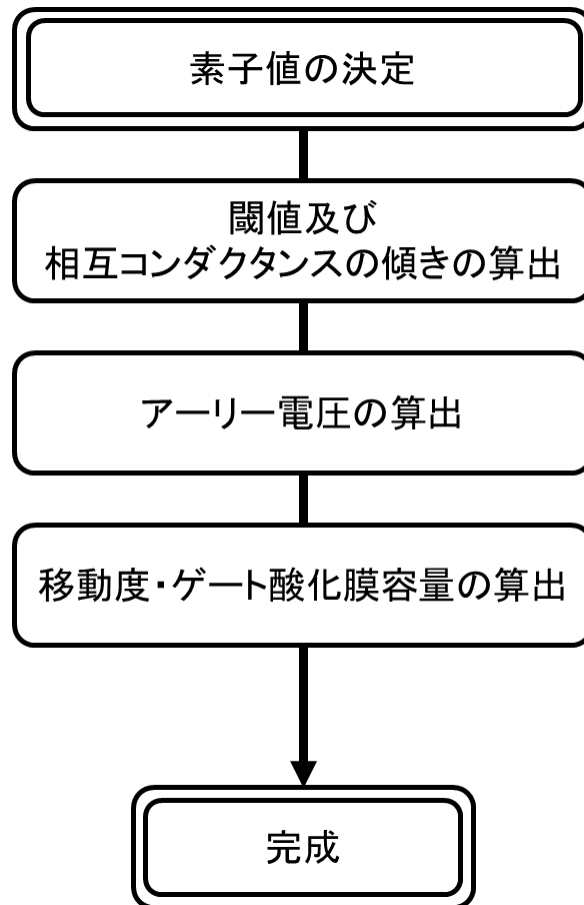


図 2.1: キャラクタライズ自動化の流れ

2.3 閾値及び相互コンダクタンスの傾きの算出

図 2.1 に示す回路構成で直流解析を行い算出する。図 2.1(a) は PMOS の $I_{DS} - V_{GS}$ 図 2.1(b) は NMOS の $I_{DS} - V_{GS}$ 特性の計算回路図である。ドレイン-ソース間電圧 V_{DS} が 3V、ゲート-ソース間電圧 V_{GS} を 0~3V で変化させ、MOSFET の閾値及び相互コンダクタンスの傾きを HSPICE の .measure コマンドを用いて算出する。図 2.2 に MOSFET における各特性を示す。MOSFET の飽和領域では図 2.2(d) のように電流は 2 乗則に従うため、その平方根の特性は線形になる。しかし、実際には図 2.2(c) のように非線形になるため $\sqrt{I_D}$ の変曲点の位置から外挿して V_{TH} を求め、2 乗則に従う範囲で使用する。まず、図 2.2(b) の $\sqrt{I_D}$ を V_{GS} で微分した特性が変曲する点 a の値を求め、その時の V_{GS1} を求める。次に図 2.2(b) の $\sqrt{I_D}$ の特性から V_{GS1} のときの電流 $\sqrt{I_{D1}}$ を求める。求めた電流 $\sqrt{I_{D1}}$ と傾き (変曲点) a の関数が V_{GS1} のときの電流を以下の式に代入する。

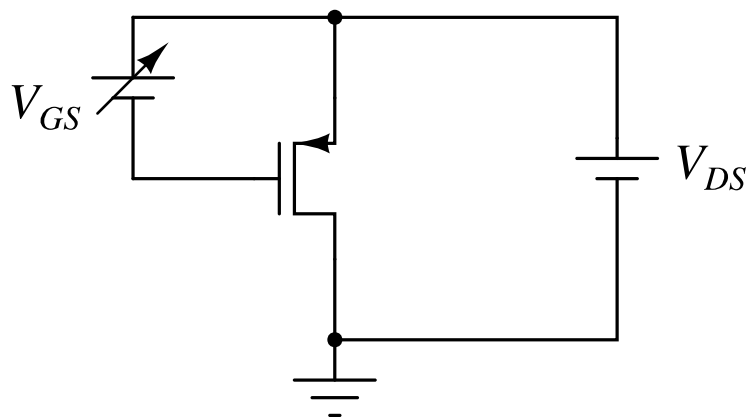
$$b = I_{D1} - a \times V_{GS1} \quad (2.1)$$

$$V_{TH} = -\frac{b}{a} \quad (2.2)$$

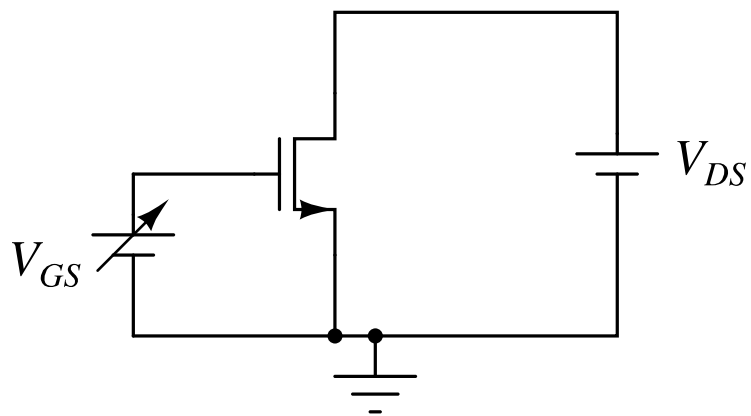
このように、式(2.1)より電流の差 b を算出し、式(2.2)で閾値 V_{TH} を導出する。次に図 2.2(a) の g_m の特性から $V_{GS1} - 0.01$ 、 $V_{GS2} + 0.01$ のときの相互コンダクタンス g_{m0} 、 g_{m1} をそれぞれ求め、次式に代入して相互コンダクタンスの傾き g'_m を算出する。

$$g'_m = \frac{g_{m1} - g_{m0}}{0.02} \quad (2.3)$$

上記の手順で、 V_{TH} 及び g'_m を算出する。算出された g'_m は次節以降の動度・ゲート酸化膜容量 μC_{ox} の算出に用いられる。



(a)PMOS の $I_{DS} - V_{GS}$ 計算回路図



(b)NMOS の $I_{DS} - V_{GS}$ 計算回路図

図 2.1: $I_{DS} - V_{GS}$ 計算回路図

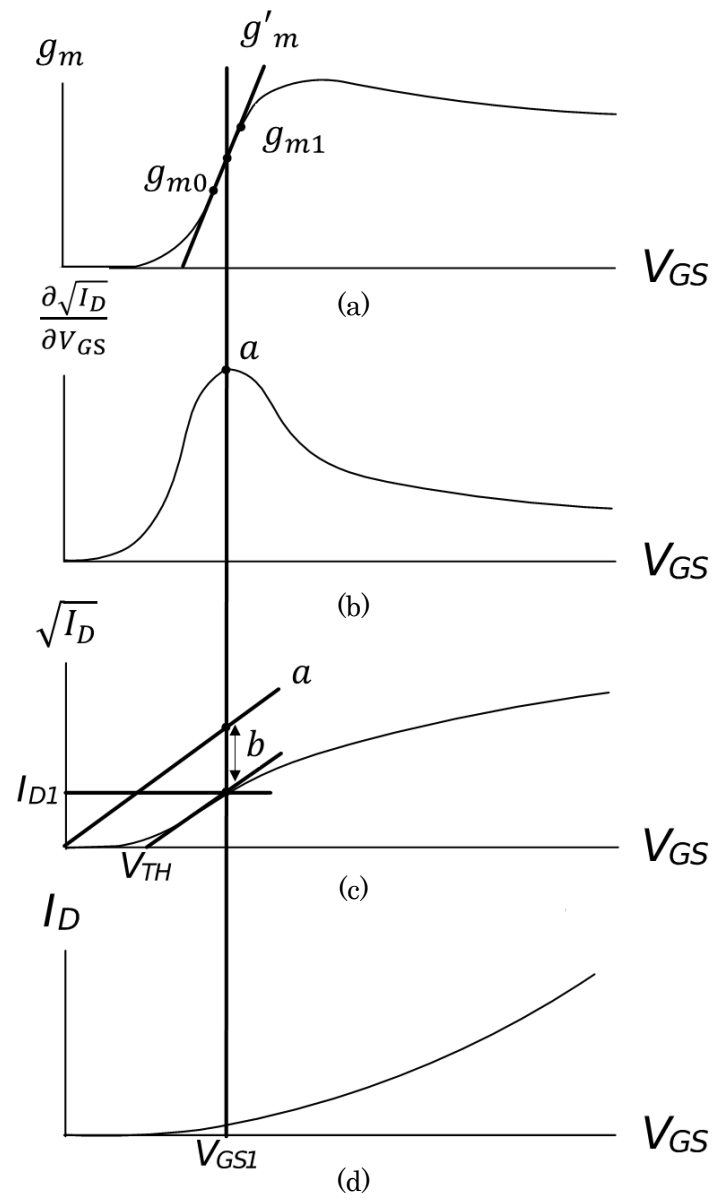


図 2.2: MOSFET における各特性

2.4 アーリー電圧の算出

図 2.3 に示す回路構成で直流解析を行い算出する。図 2.3(a)は PMOS の $I_{DS} - V_{GS}$ 、図 2.3(b)は NMOS の $I_{DS} - V_{GS}$ 特性の計算回路図である。ドレイン-ソース間電圧 V_{DS} が 3V のときの、MOSFET に流れる電流及びドレインコンダクタンス g_D を HSPICE の .measure コマンドを用いて算出する。本研究では、実効ゲート電圧 V_{eff} を表 2.1 に示す範囲内の全てを検証し、節 2.3 で算出した閾値を用いて次式で V_{GS} を決定する。

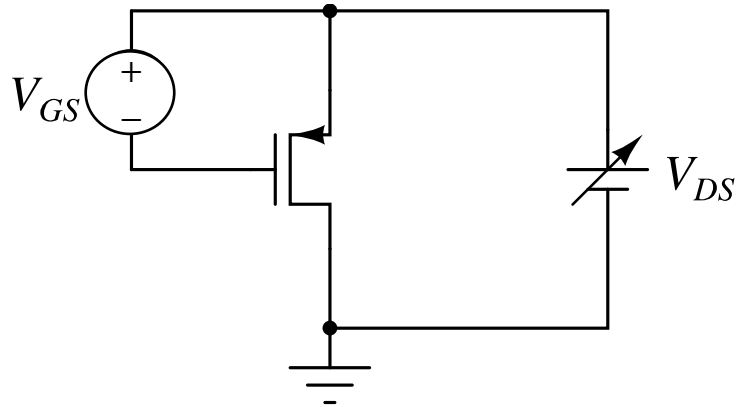
$$V_{GS} = V_{eff} + V_{TH} \quad (2.4)$$

次に、MOSFET の飽和電流式をいかに示す。式(1.1)を V_{DS} で微分し、アーリー電圧について変形した式を以下に示す。

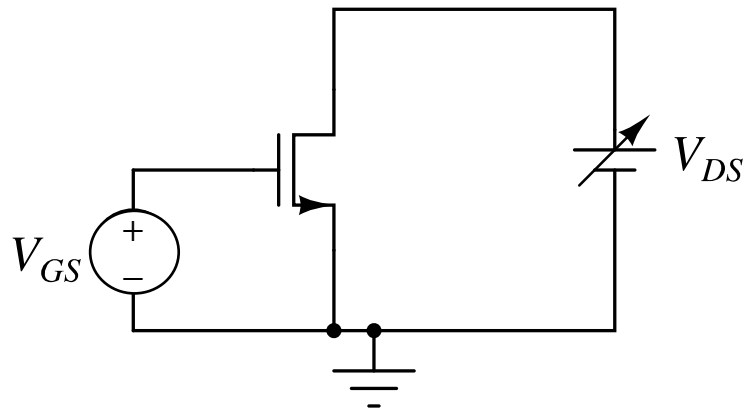
$$\frac{\partial I_D}{\partial V_{DS}} = g_D = \frac{\mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2}{2V_A} = \frac{I_D}{V_A + V_{DS}} \quad (2.5)$$

$$V_A = \frac{I_D}{g_D} - V_{DS} \quad (2.6)$$

以下の手順で、解析結果を代入しアーリー電圧 V_A を算出する。



(a)PMOS の $I_{DS} - V_{DS}$ 計算回路図



(b)NMOS の $I_{DS} - V_{DS}$ 計算回路図

図 2.3: $I_{DS} - V_{DS}$ 計算回路図

2.5 移動度・ゲート酸化膜容量の算出

式(1.1)の MOSFET の飽和電流式を V_{GS} で2階微分した式を以下に示す。

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{TH})^2 \left(1 + \frac{V_{DS}}{V_A} \right) \quad (2.7)$$

$$g'_m = \frac{\partial g_m}{\partial V_{GS}} = \mu C_{ox} \left(\frac{W}{L} \right) \left(1 + \frac{V_{DS}}{V_A} \right) \quad (2.8)$$

式(2.8)より、移動度・ゲート酸化膜容量 μC_{ox} について変形した式を以下に示す。

$$\mu C_{ox} = \frac{g'_m}{\frac{W}{L} \left(1 + \frac{V_{DS}}{V_A} \right)} \quad (2.9)$$

式(2.9)より、節 2.3、節 2.4 の解析結果で算出した各パラメータを代入し導出する。

2.6 算出されたキャラクタライズの一例

算出されたキャラクタライズの一例を表 2.2 に示す。 L 、 V_{eff} を決めることにより、 V_{th} 、 V_A 、 μC_{ox} が検索される。

表 2.2: キャラクタライズの一例

	$L[\mu\text{m}]$	0.2	0.4	0.8	1.6
$V_{eff} = 0.1\text{V}$	$V_{TH}[\text{V}]$	0.440	0.414	0.396	0.383
	$V_A[\text{V}]$	5.283	6.817	8.623	1.166E + 01
	$\mu C_{ox}[\mu\text{A}/\text{V}^2]$	5.501E - 05	4.671E - 05	4.464E - 05	4.557E - 05
$V_{eff} = 0.2\text{V}$	$V_{TH}[\text{V}]$	0.440	0.414	0.396	0.383
	$V_A[\text{V}]$	9.627	1.159E + 01	1.372E + 01	1.740E + 01
	$\mu C_{ox}[\mu\text{A}/\text{V}^2]$	6.575E - 05	5.343E - 05	4.938E - 05	4.887E - 05
$V_{eff} = 0.3\text{V}$	$V_{TH}[\text{V}]$	0.440	0.414	0.396	0.383
	$V_A[\text{V}]$	1.460E + 01	1.699E + 01	1.954E + 01	2.391E + 01
	$\mu C_{ox}[\mu\text{A}/\text{V}^2]$	7.154E - 05	5.718E - 05	5.216E - 05	5.091E - 05

3 回路の解析・作成

3.1 概要

回路の解析・作成は、回路トポロジーや接続情報を記述したネットリストを用いて行う。ネットリストの例を表 3.1 に回路図を図 3.1 示す。またネットリストの素子フォーマットを表 3.2、表 3.3 に示す。回路の解析・作成は図 3.2 の流れに沿って行う。

3.2 回路の登録

本研究では、作成トポロジーの増加、回路の解析の簡易化のため、バイアス回路、入力回路、出力回路の 3 段の機能ブロックに分割したものを組み合わせてトポロジーを作成する。そのため、ブロックごとにネットリストとしてそれぞれ保存・登録しておく。図 3.3 に MOSFET を 8 個、抵抗を 1 個使用した、2 入力 1 出力の基本的な演算増幅器を機能ブロックレベルに分割した例を示す。図 3.3(b) のように図 3.3(a) を電流経路を基に機能ブロックごとに分割する。本研究で使用する各機能ブロックを図 3.4～図 3.10 に示す。

3.3 ネットリストの読み込み

前節の登録回路の中から、バイアス回路、入力回路、出力回路をそれぞれ 1 つ選択し、ネットリストとして読み込む。例として、図 3.3(b) の回路を読み込み、図 3.11 のように box1、box2、box3 に分け保存し、次節の処理に適応する。

表 3.1: ネットリストの例

R1	vdd	1			
M1	2	2	1	vdd	cmosp
M2	2	2	vss	vss	cmosn

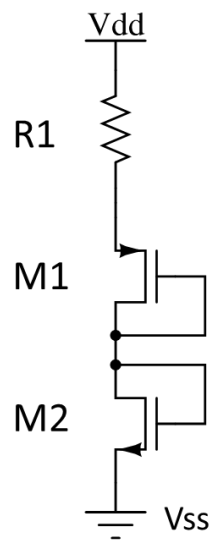


図 3.1: ネットリストの回路図

表 3.2: 抵抗の素子フォーマット

R1	Vdd	1
素子名	上端子	下端子

表 3.3: MOSFET の素子フォーマット

● PMOSの場合

M1	2	2	1	vdd	cmosp
素子名	ソース	ゲート	ドレイン	バルク	チャネル

● NMOSの場合

M2	2	2	vss	vss	cmosn
素子名	ドレイン	ゲート	ソース	バルク	チャネル

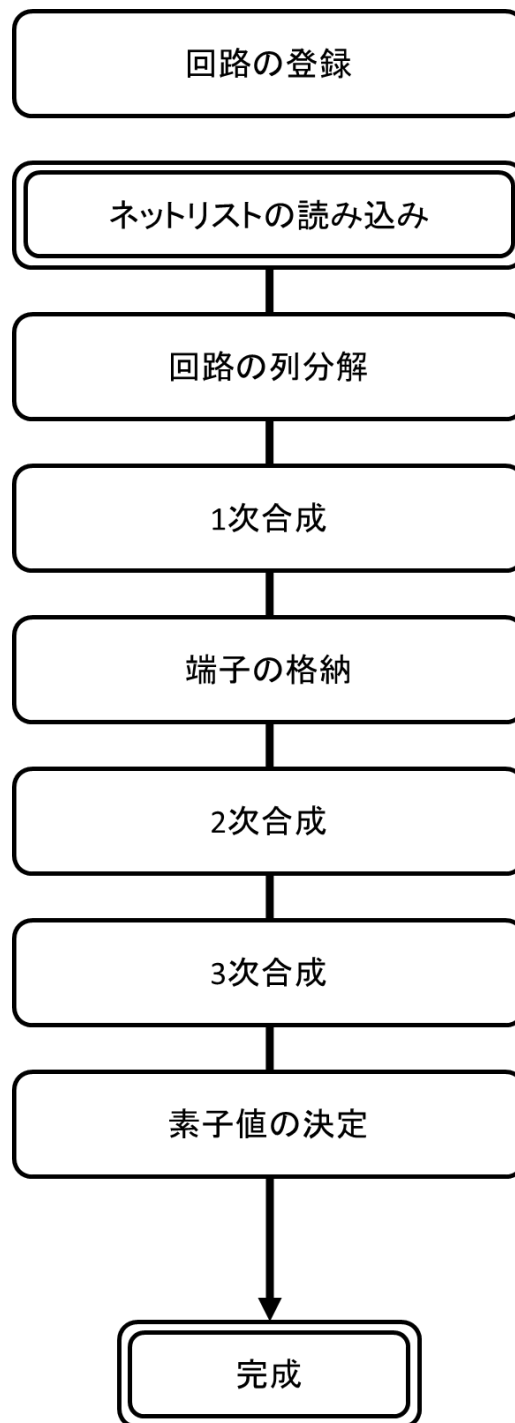
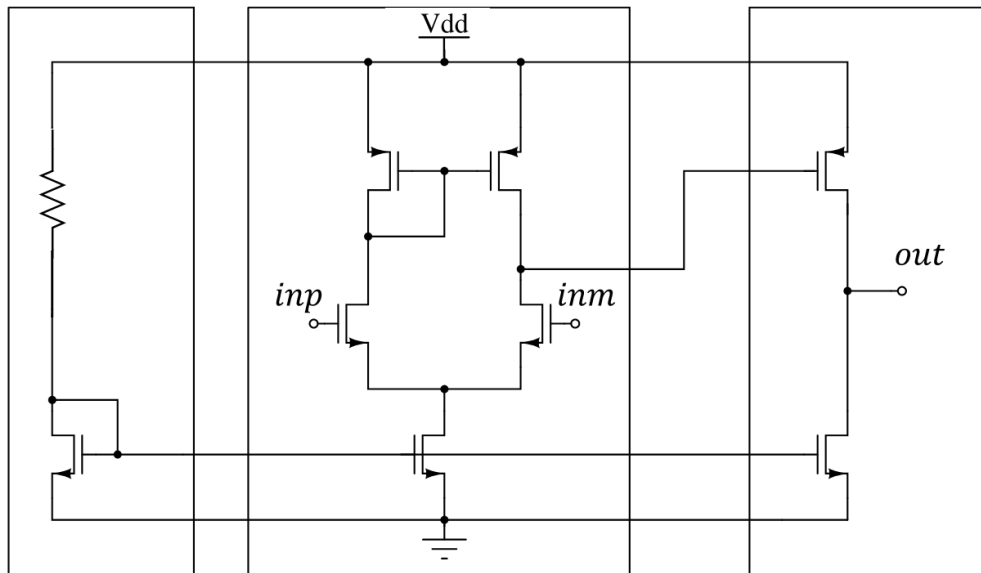
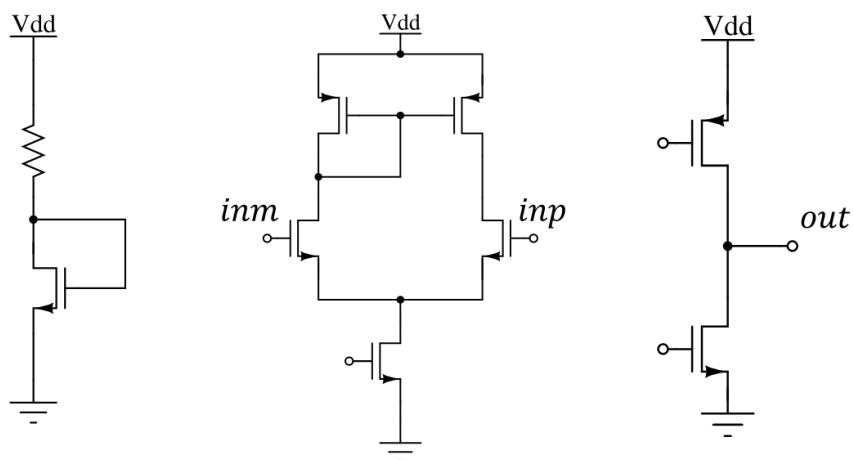


図 3.2: 回路の解析・作成の流れ



(a)



(b)

図 3.3: 機能ブロックに分割

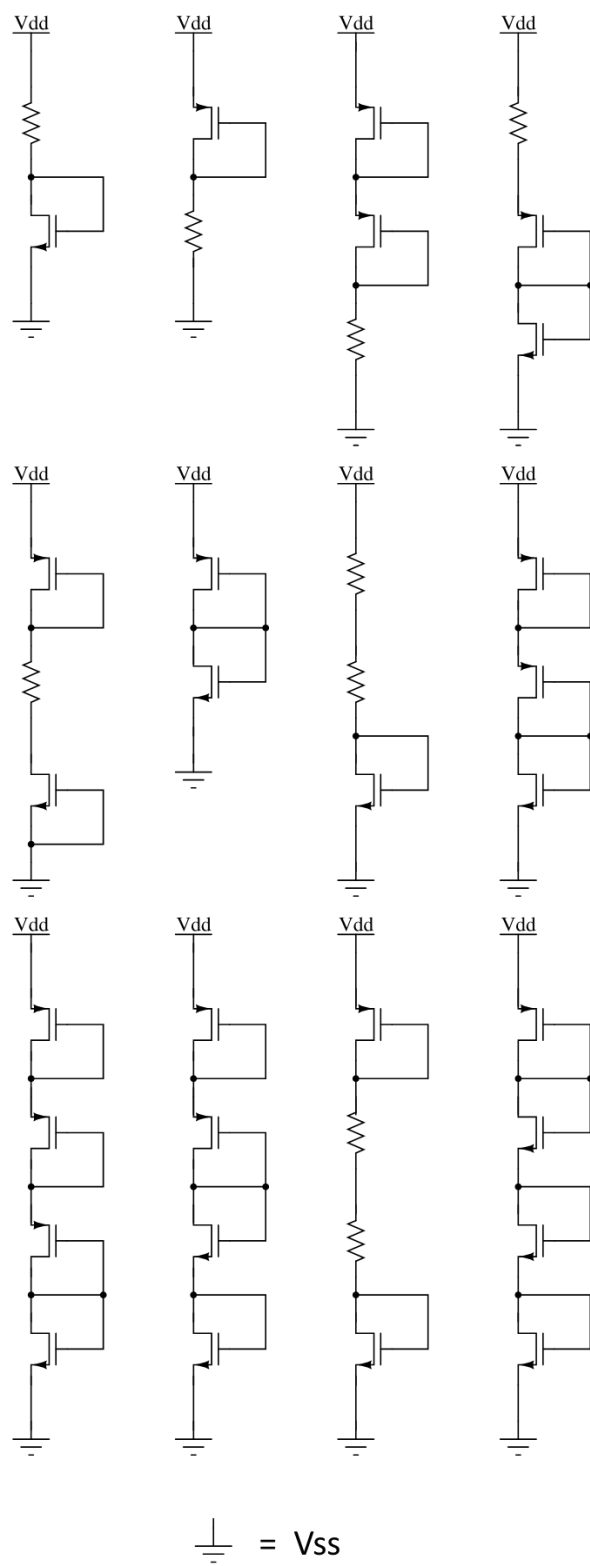


図 3.4: 登録されているバイアス回路 1

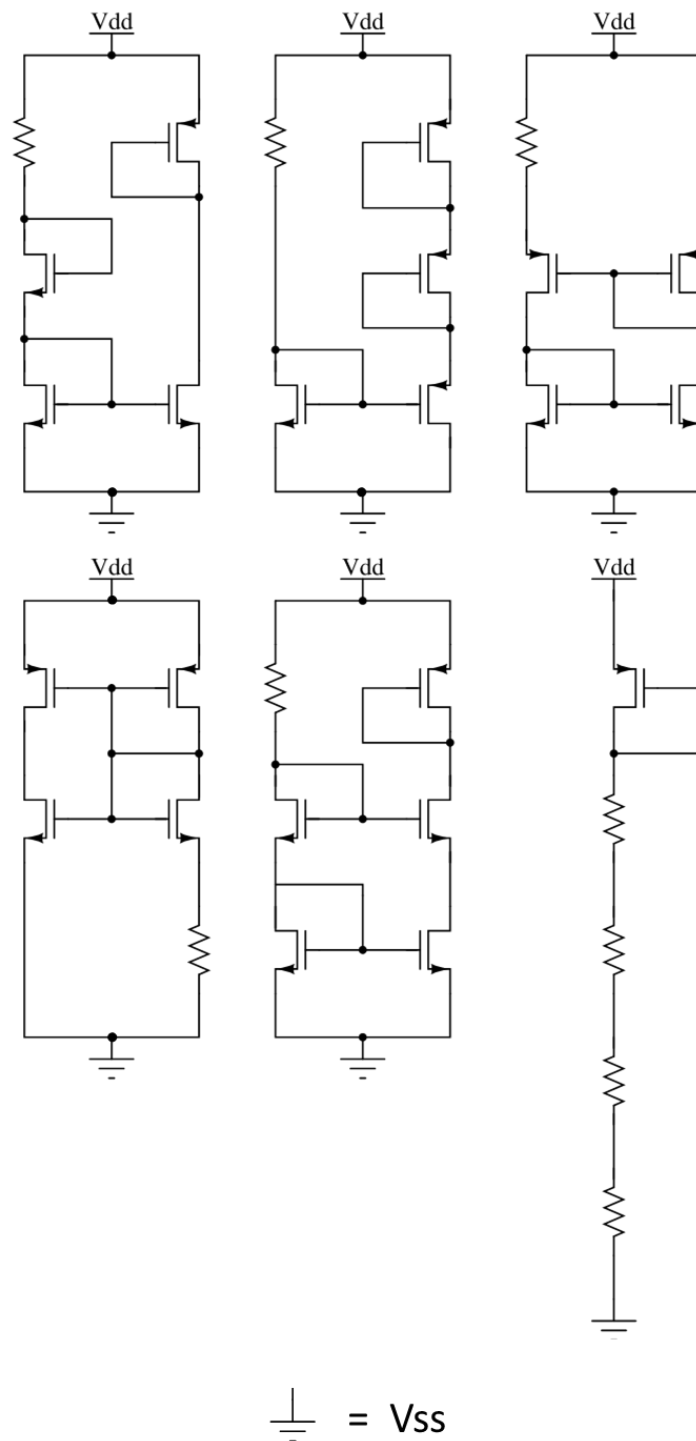


図 3.5: 登録されているバイアス回路 2

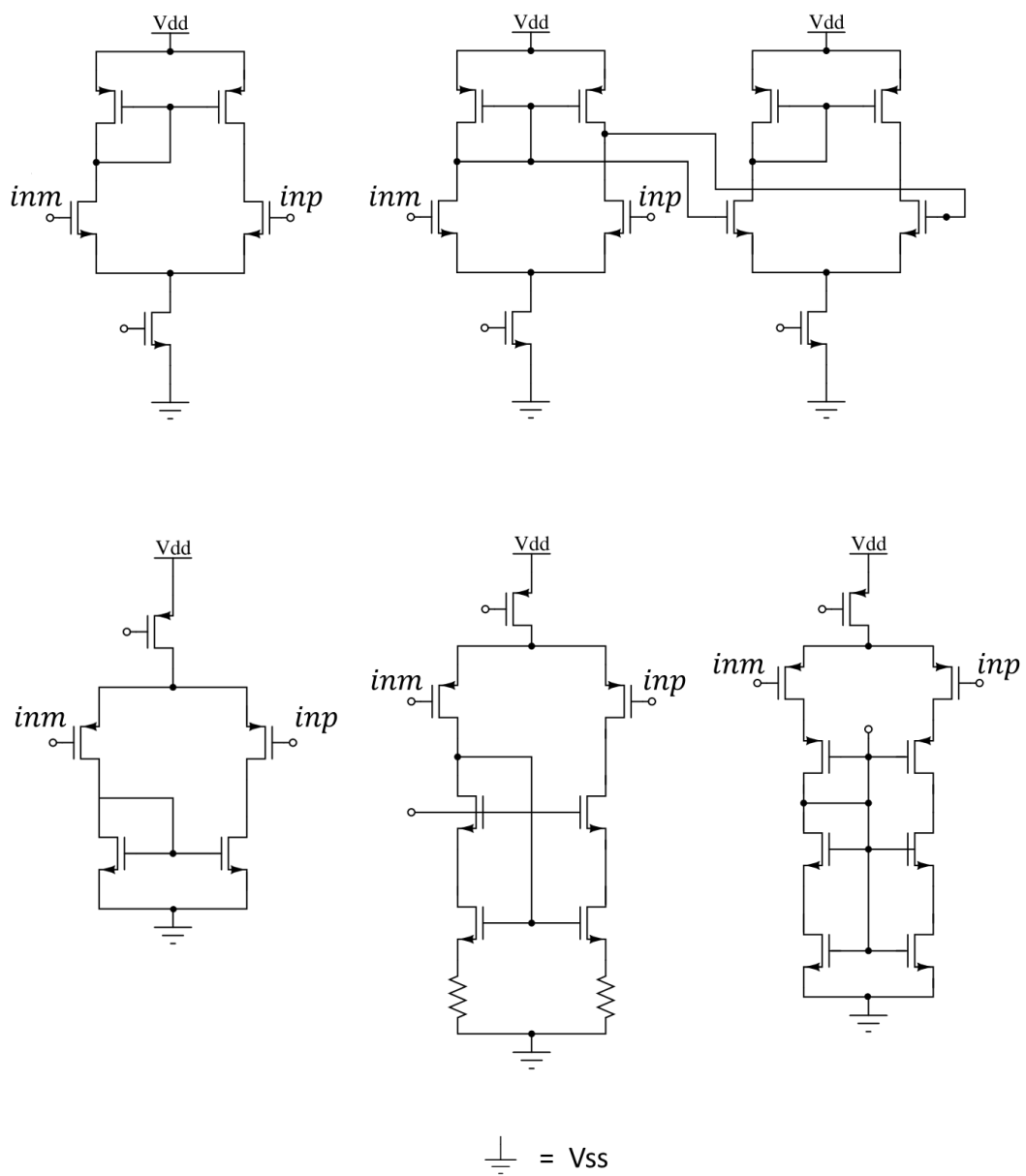


図 3.6: 登録されている入力回路 1

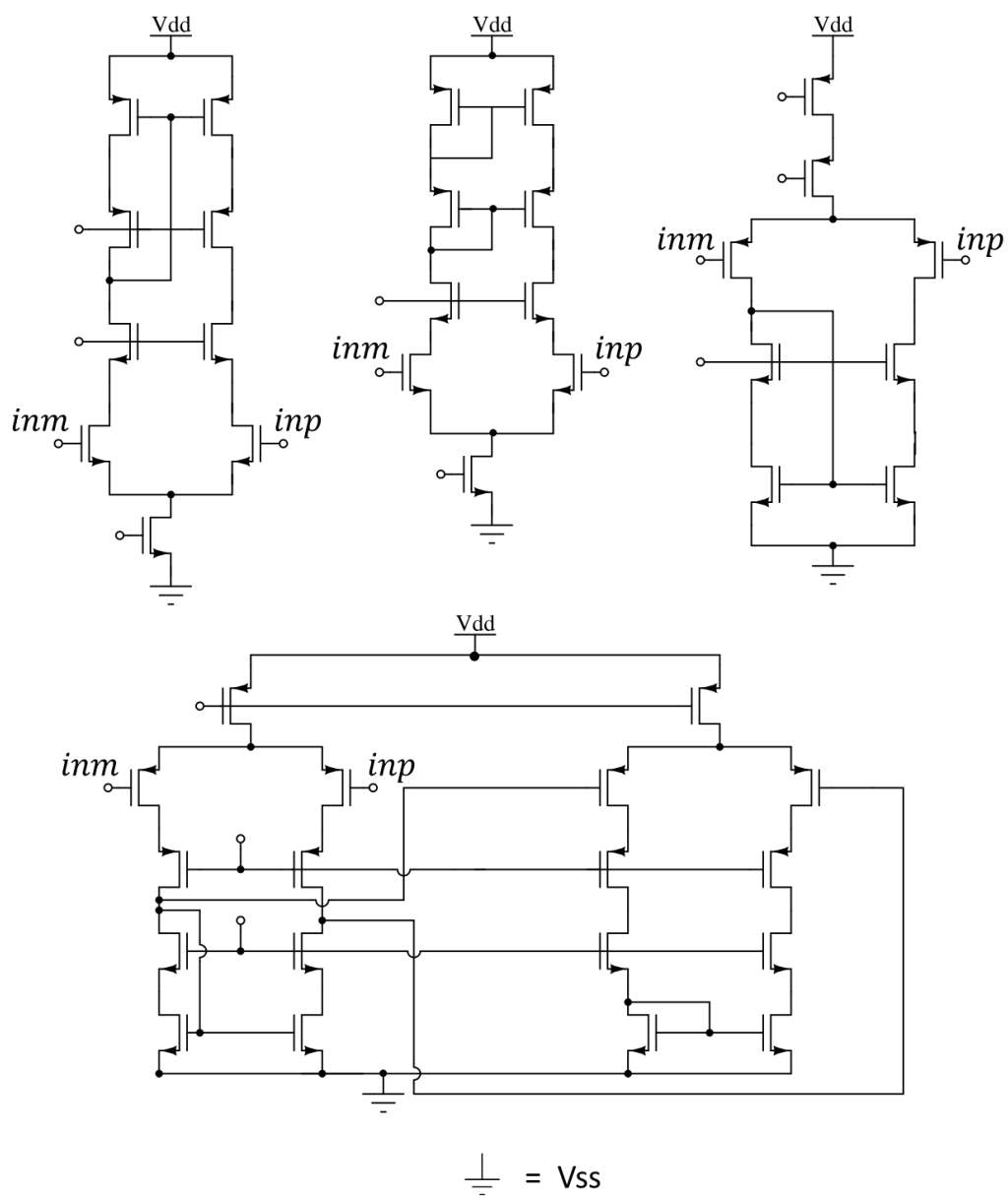


図 3.7: 登録されている入力回路 2

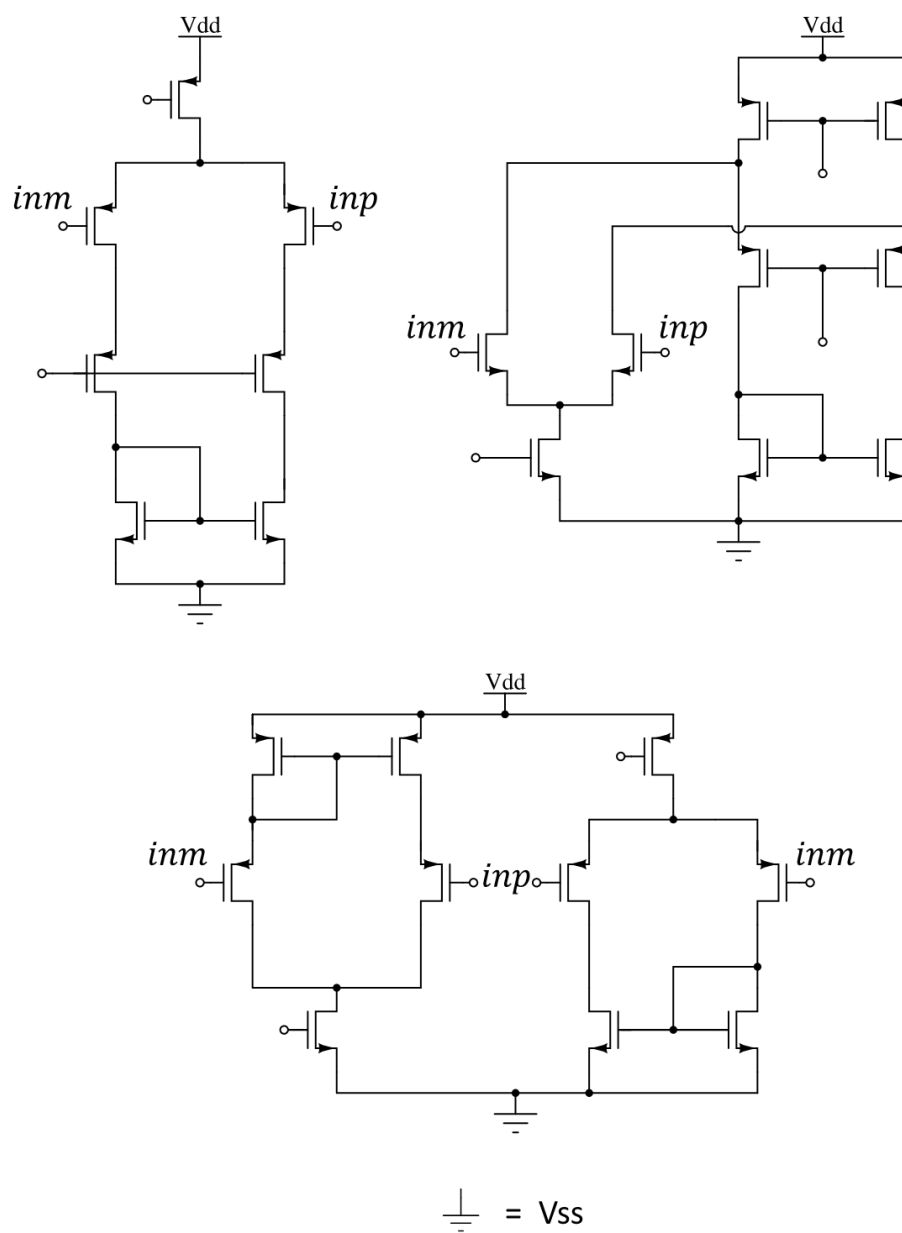


図 3.8: 登録されている入力回路 3

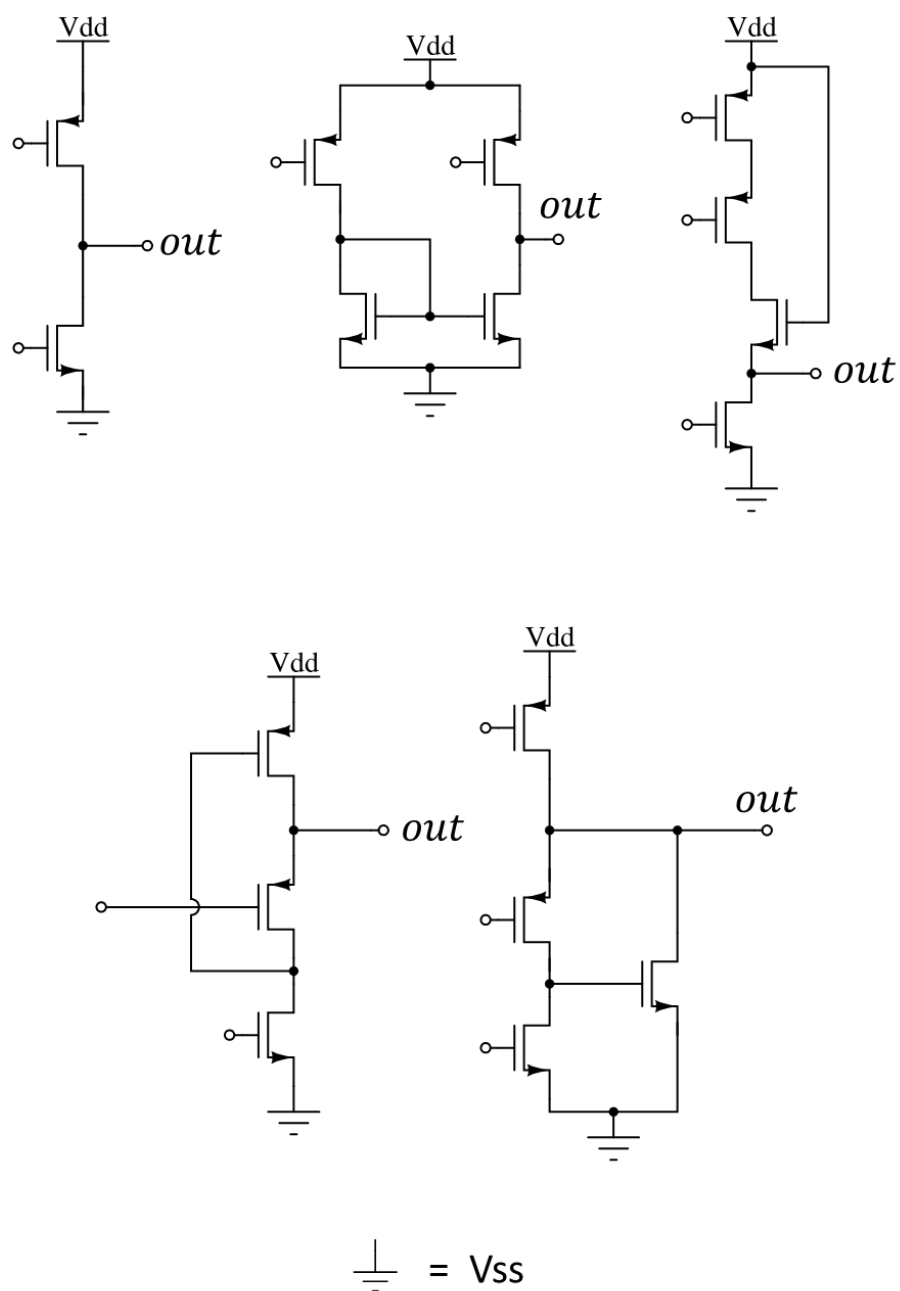


図 3.9: 登録されている出力回路 1

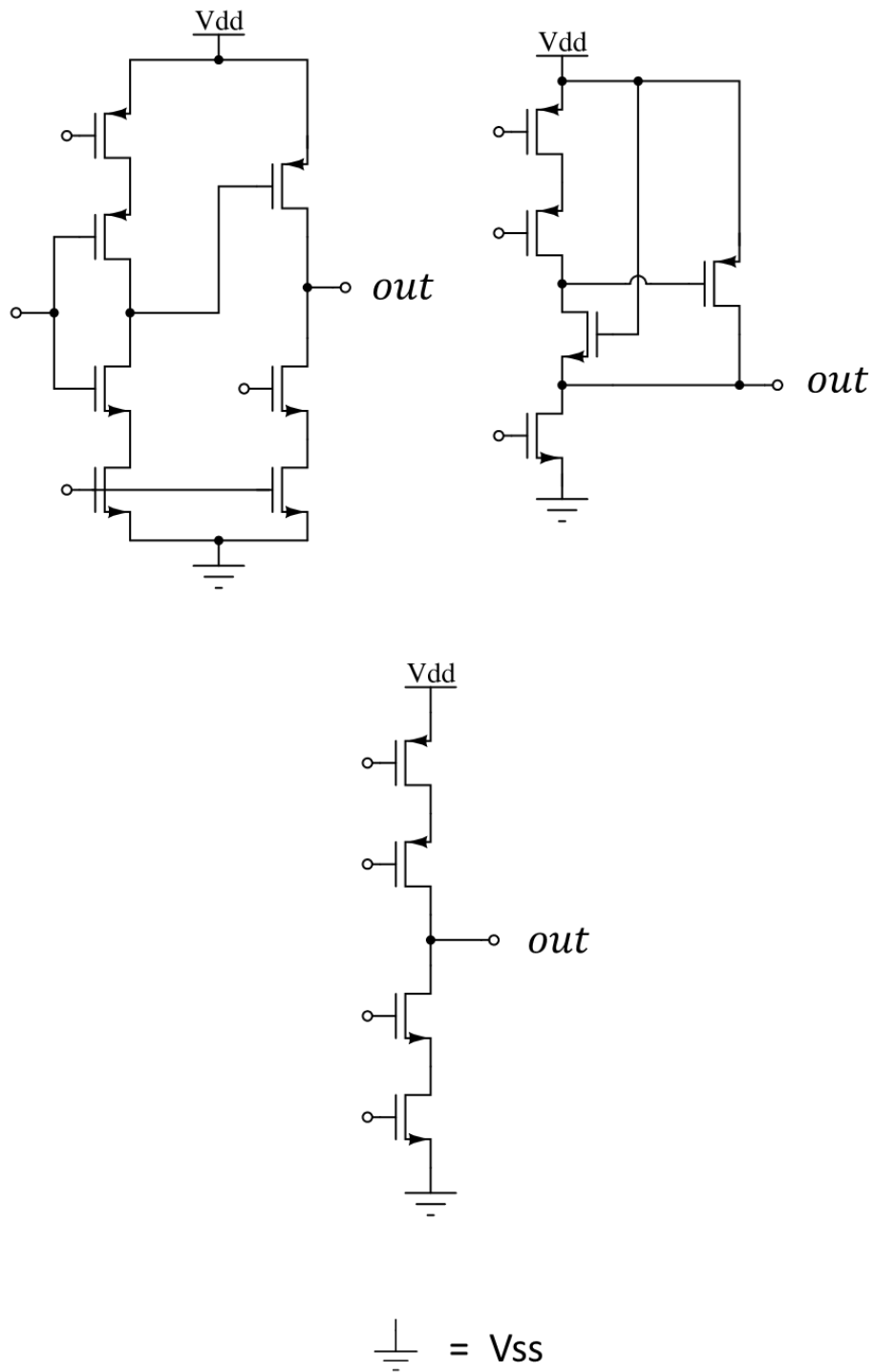
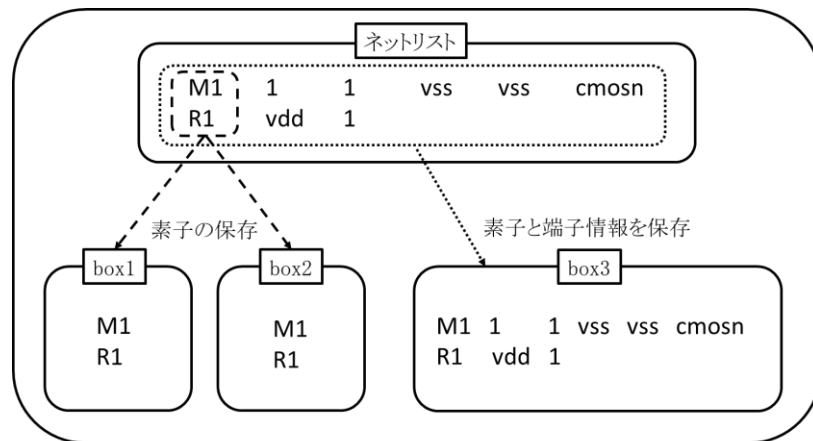
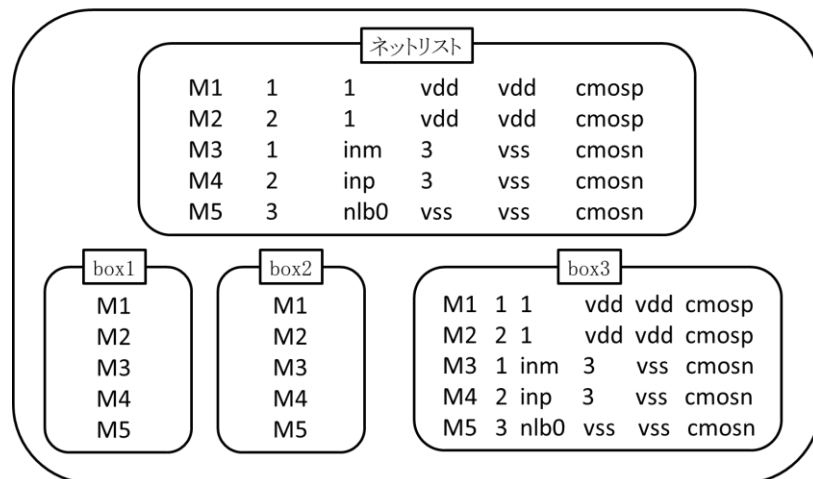


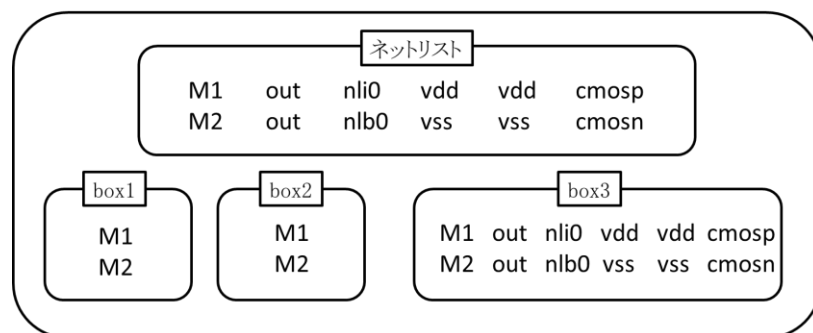
図 3.10: 登録されている出力回路 2



(a) バイアス回路のネットリスト



(b) 入力回路のネットリスト



(c) 出力回路のネットリスト

図 3.11: ネットリストの読み込み

3.4 回路の列分解

前節のネットリストを用いて、図 3.3(b)の回路の列分解を行う。処理の流れを図 3.12 に示す。まず、素子を格納する列を作成する。次に節 3.3 で作成した box1 から素子を取り出し、列に素子を格納する。次に取り出した素子の上端子もしくは下端子を box3 より参照し、上端子と下端子に接続可能な素子を box2 から探索・格納する。上端子の場合は vdd に接続されるまで、下端子の場合は vss に接続されるまで繰り返す。vdd から vss までの列ができたら、box1 から取り出した素子を削除する。その後、列を新たに作成し、box1 から新たな素子を取り出し配置する。box1 が空になり全ての素子を配置したら、図 3.13 のように同じ素子構成の列を消去して処理完了となる。

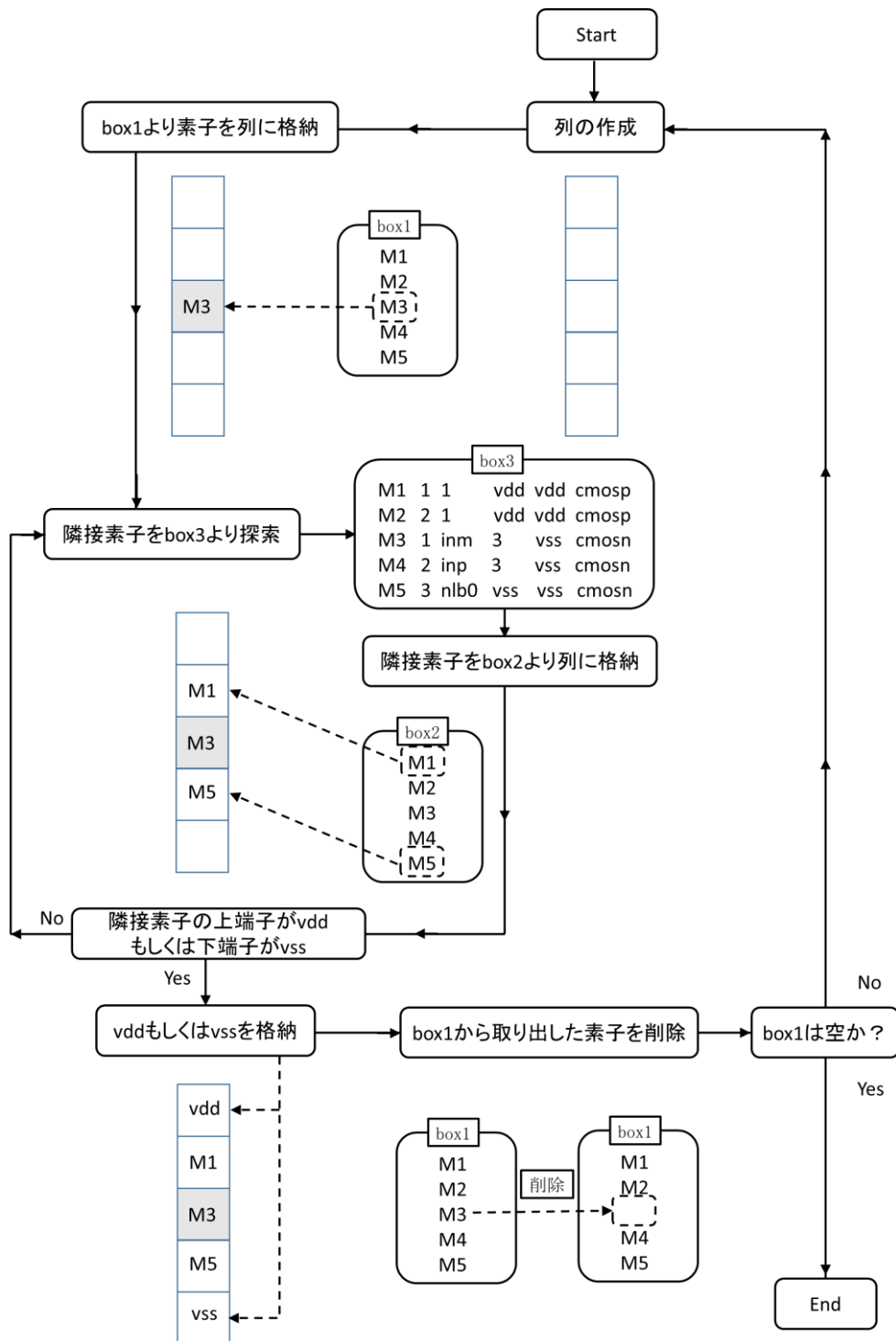


図 3.12: 回路の列分解

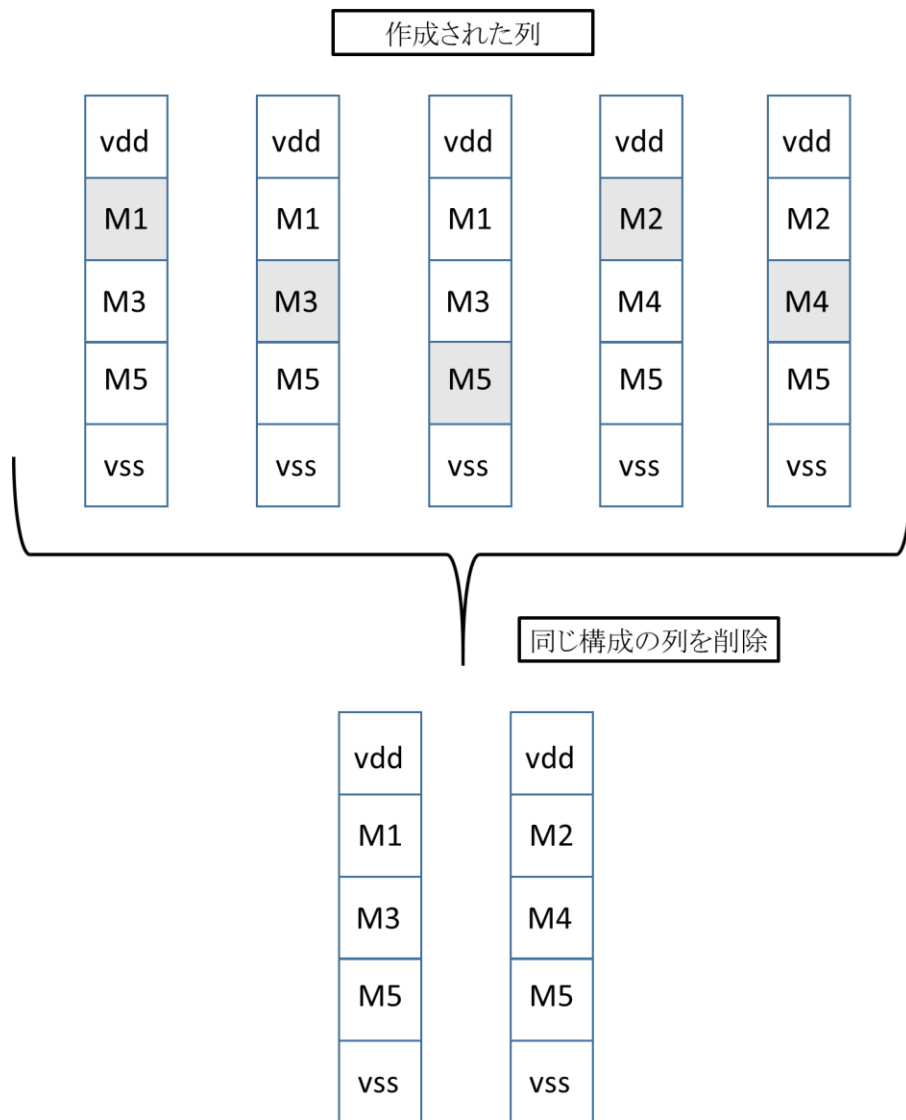


図 3.13: 重複の削除

3.5 1 次合成

1 次合成では、レイヤーに列を格納する処理を行う。列は前節で作成されたものを用いる。処理の流れを図 3.14 に示す。まずレイヤーを作成し、列をレイヤーに配置する。配置された列と、その他の列とを以下の評価(図 3.15)

- 素子の構成が同じである 評価+50
- 同じゲートを共有している素子対がある 評価+30
- ゲートが `inm`、`inp` の素子対がある 評価+30
- 同じ素子を使っている 評価+100

により評価が 100 を超えた場合、同レイヤーに配置する。評価が 100 を越えた列が複数存在する場合、最も評価の高い列を同レイヤーに配置する。全ての列が配置されたら処理完了となる。なおレイヤーは、奇数行では端子を、偶数行では素子を格納する。また、左右のレイヤーは、素子や端子の情報を格納する。以降の節では、このレイヤーに情報を格納する処理を行う。

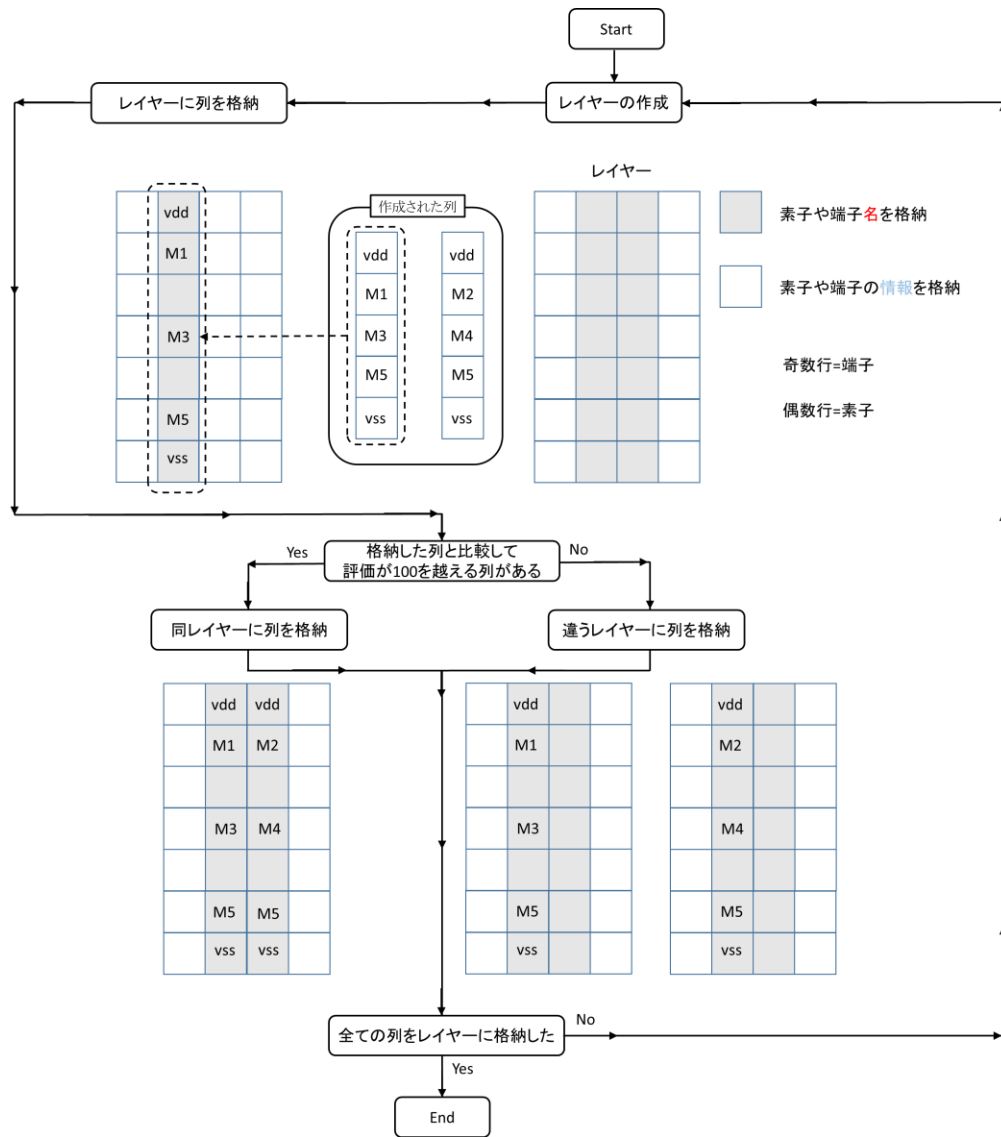


図 3.14: 1 次合成

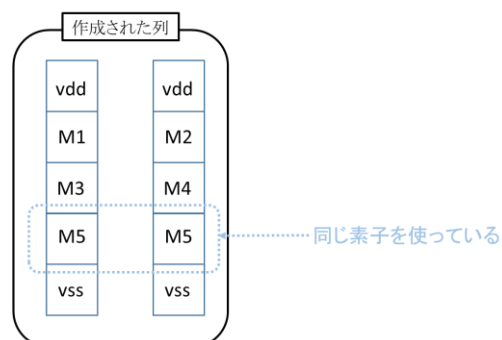
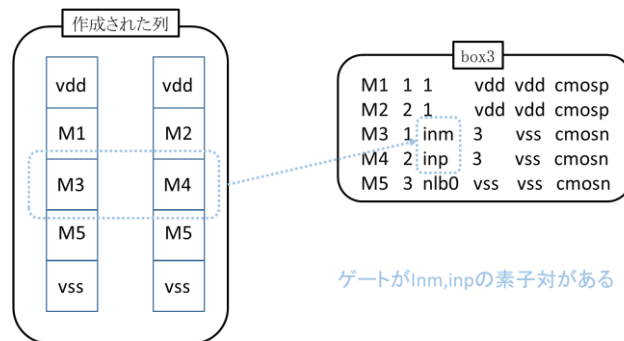
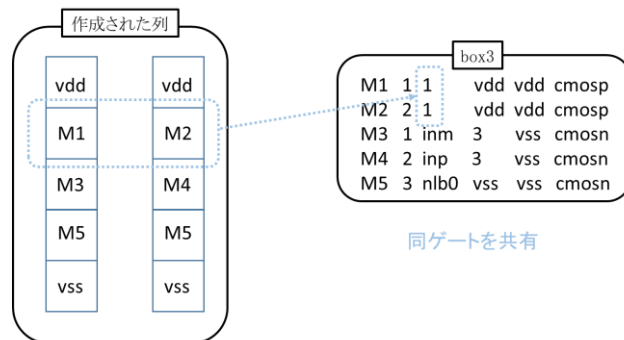
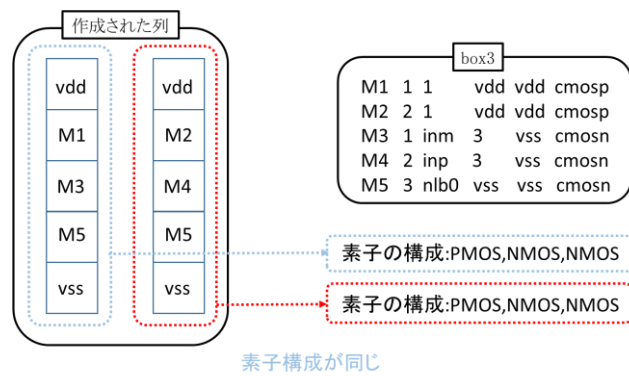


図 3.15: 評価

3.6 端子の格納

図 3.16 に示すように、前節で作成したレイヤーに box3 を参照しながら端子を格納する。

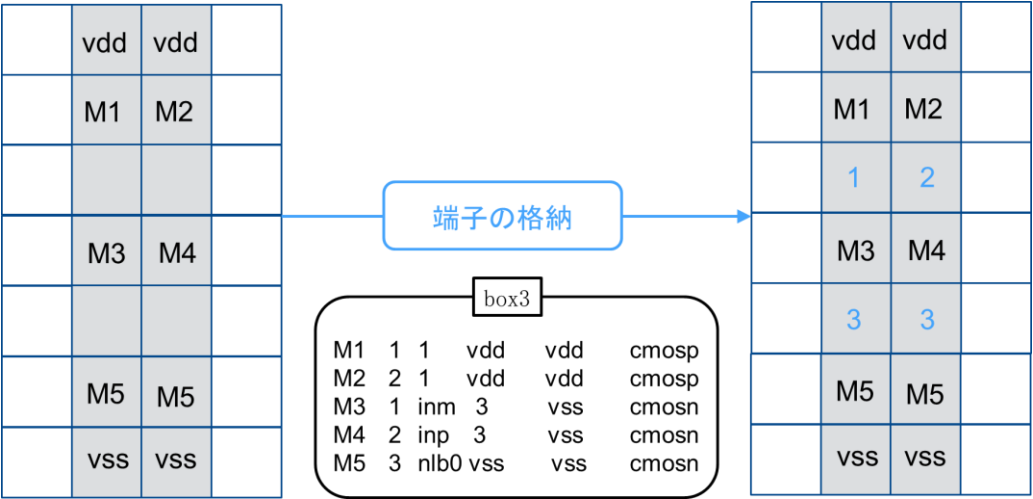


図 3.16: 端子の格納

3.7 2 次合成

図 3.17(a)に示すように、同名素子の 1 つ以外に Flag を付与後、素子を削除しフラグメント化する。また図 3.17(b)のように box3 を用いてゲートの情報を付与する。付与できる端子がレイヤーに存在しない場合、nil を付与する。その後、図 3.18(a)のように box3 を用いて PMOS もしくは NMOS を格納し、図 3.19(b)のように端子と素子をリネームする。

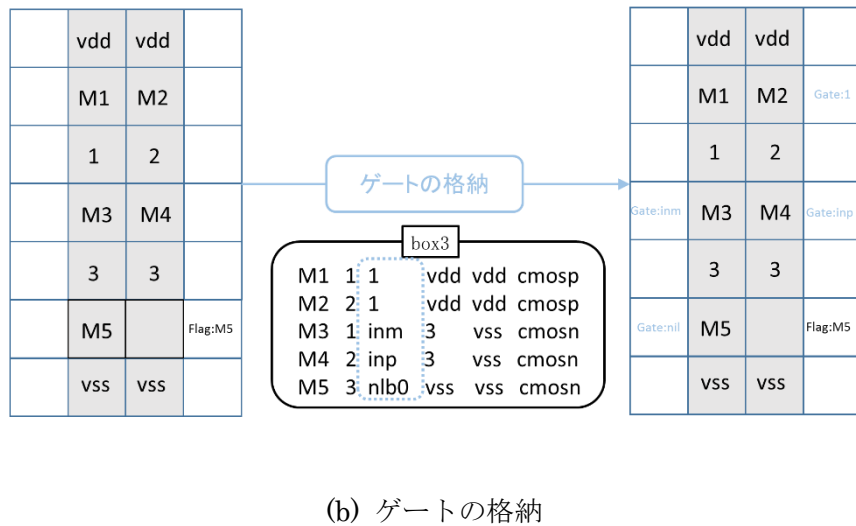
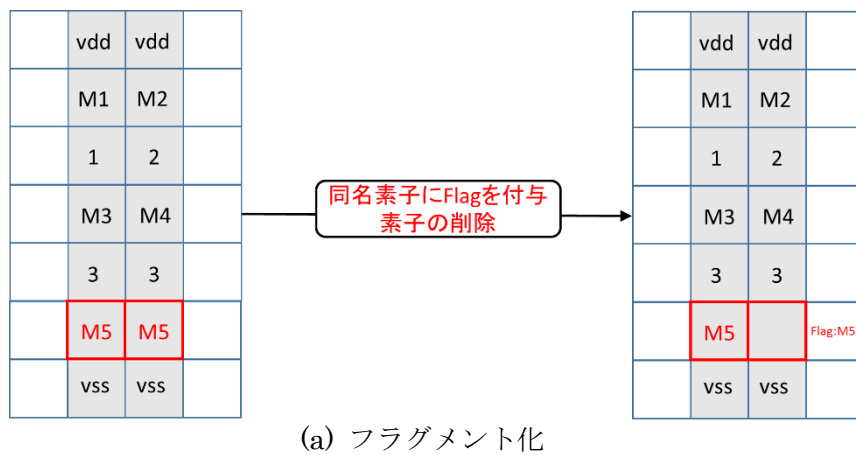
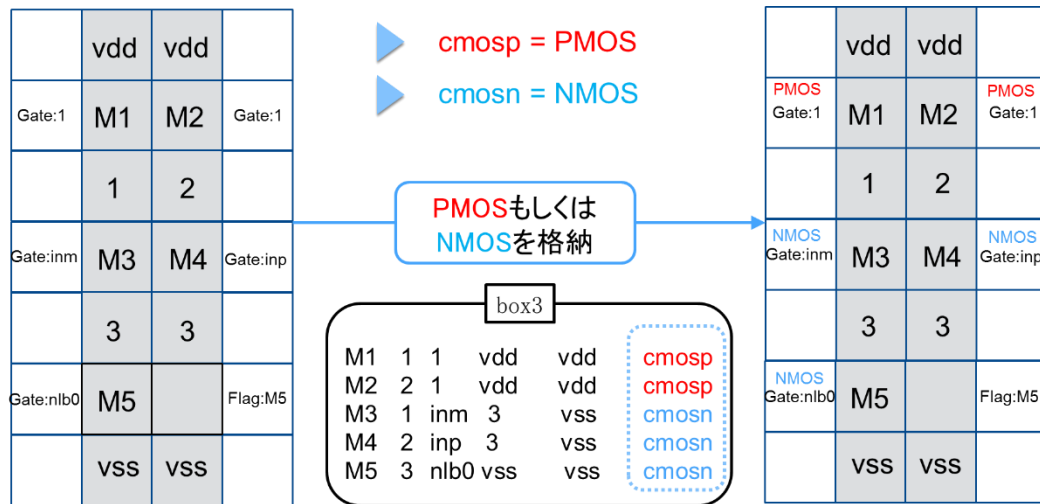
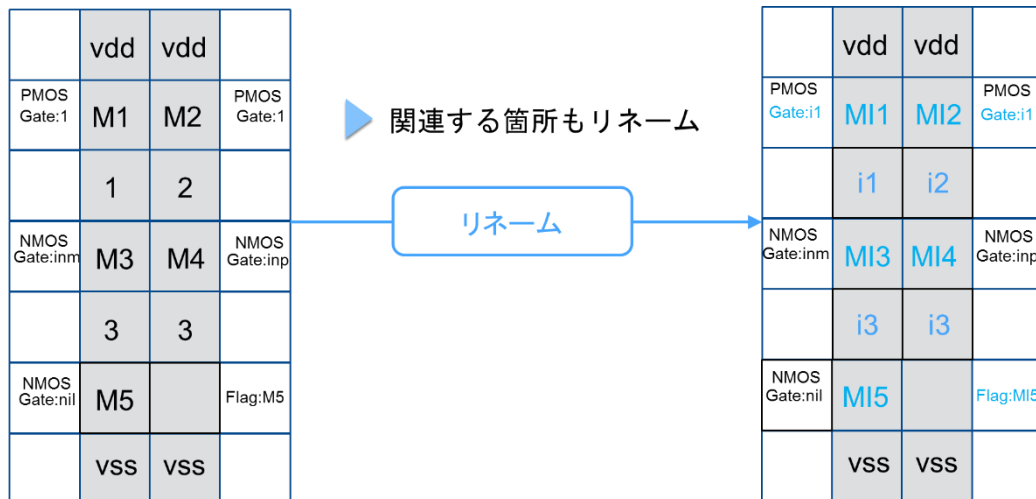


図 3.17: 2 次合成 1



(a) PMOS もしくは NMOS の格納



(b) 素子、端子のリネーム

図 3.18: 2 次合成 2

3.8 3 次合成

3.8.1 概要

この節では、バイアス回路、入力回路、出力回路の 3 つを合成し、ひとつの回路にする。前節までの処理をバイアス回路、出力回路にも適応した状態を図 3. 19 に示す。その後の処理の流れは図 3. 20 に沿って行う。

	vdd
	RB1
	b1
NMOS Gate:b1	MB1
	VSS

(a): バイアス回路

	vdd
PMOS Gate:nil	MO1
	out
NMOS Gate:nil	MO2
	VSS

(b): 出力回路

図 3.19: バイアス回路、出力回路に処理を適応した状態

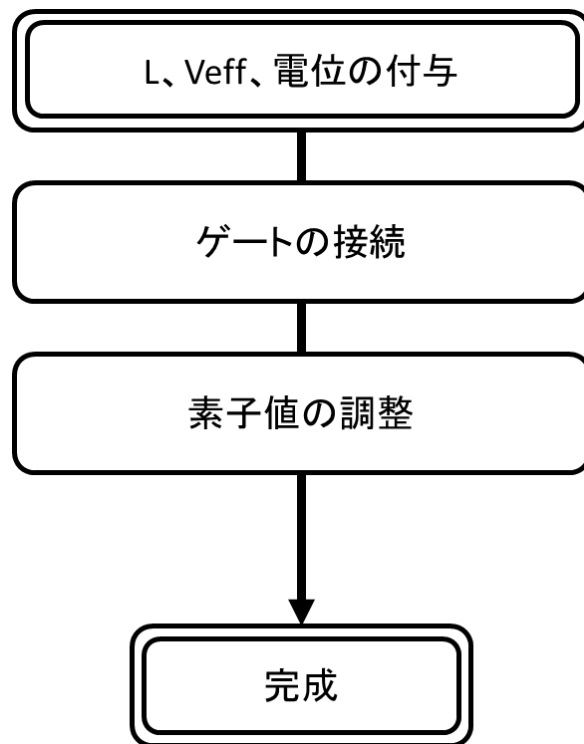


図 3.20: 3 次合成の流れ

3.8.2 L 、 V_{eff} 、電位、電流の付与

図 3.21 に示すように、MOSFET に対して、 L 、 V_{eff} を格納する。また、端子に対して電位 V_n を付与し、レイヤーに対して電流 I_D を格納する。 L 、 V_{eff} 、 I_D は、表 3.1 の範囲からランダムに決定される。 V_n は $vdd=1.5$ 、 $vss=-1.5$ 、 $inm=inp=out=0V$ 、それ以外は、端子の上から順に次式の範囲よりランダムに決定される。

$$V_p = \left((V_{nu} - V_{nss}) - \frac{(V_{nu} - V_{nss})}{(S_n - S_p + 1)} \right) \quad (3.1)$$

$$V_n = \left((1 - V_\alpha)V_p + V_{nss} \right) \sim \left((1 + V_\alpha)V_p + V_{nss} \right) \quad (3.2)$$

ここで、 V_{nu} は決める端子の上の V_n 、 V_{nss} は vss 端子の V_n 、 S_n は列に格納してある端子の数であり、 S_p は決める端子を上から数えたときの数である。 V_α は電圧変動率であり本研究では $V_\alpha=0.3$ とした。また、レイヤーに inm 、 inp 、 out のいずれかの端子が接続されている場合は、 vdd から接続端子、接続端子から vss までを S_n として列を分割して式 (3.1) ～ (3.2) より算出する。

表 3.1: L 、 V_{eff} 、電流の範囲

$L[\mu m]$	0.2 ~ 10.0
$V_{eff}[V]$	0.10 ~ 0.30
バイアス回路の電流(I_D)[μA]	1.0 ~ 10.0
入力回路、出力回路の電流(I_D)[μA]	1.0~500.0

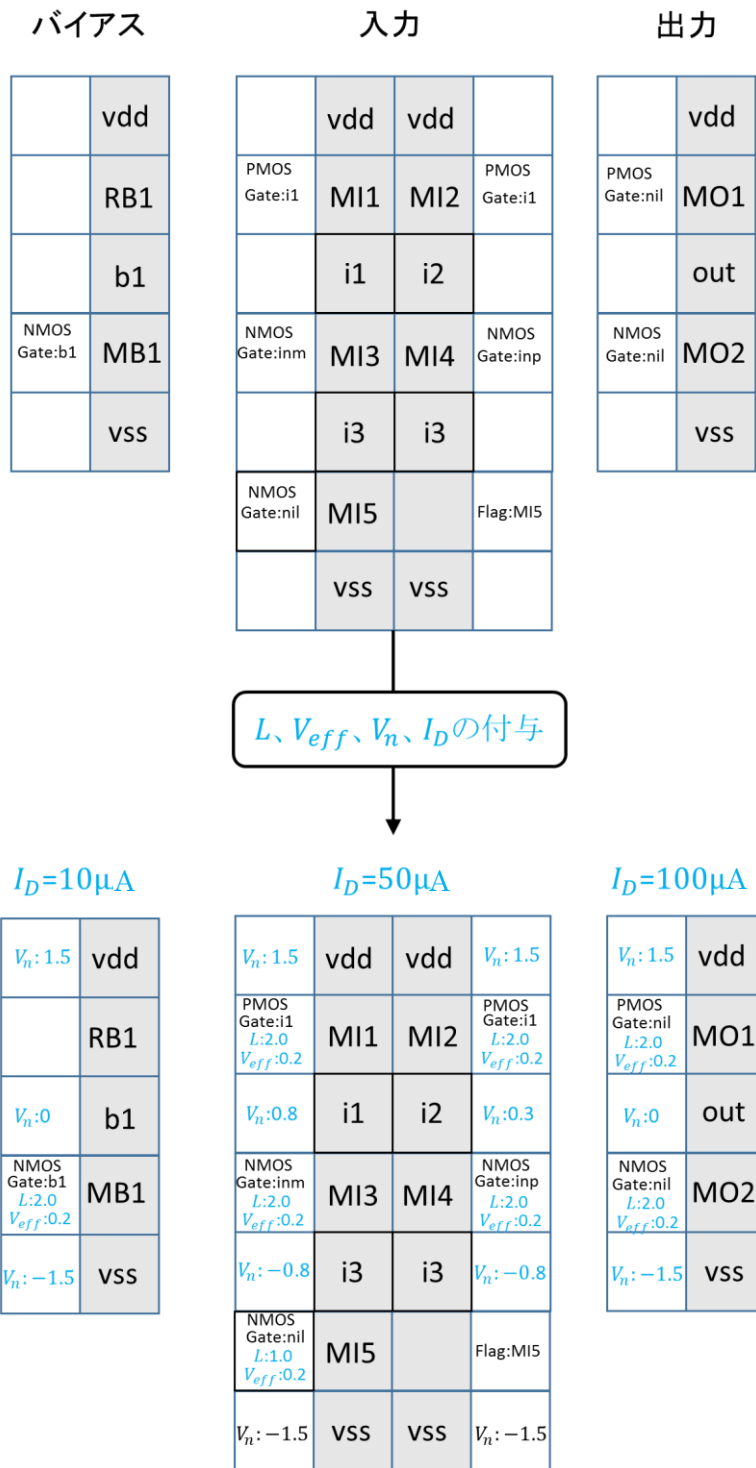


図 3.21: L 、 V_{eff} 、 V_n 、 I_D の付与

3.8.3 ゲートの接続

ゲートの状態が nil の MOSFET の例を図 3.22 に示す。図 3.23 に示すように、ゲートの状態が nil の MOSFET を、接続可能な端子を検索しゲートを接続する。検索にはキャラクタライズを用いる。出力回路の MOSFET は、バイアス回路と入力回路の端子へ、入力回路の MOSFET はバイアス回路端子選ばれ接続される。PMOS の場合は式(3.3)より、NMOS の場合は式(3.4)より評価が一番低い端子に接続される。

$$\text{Score} = |V_n - (V_{nsu} - V_{th} - V_{eff})| \quad (3.3)$$

$$\text{Score} = |V_n - (V_{nsd} + V_{th} + V_{eff})| \quad (3.4)$$

ここで、 V_{nsu} は接続素子の上端子の V_n であり、 V_{nsd} は接続素子の下端子の V_n である。 V_{th} はキャラクタライズより抽出された閾値電圧である。全ての端子の評価が 1.0 を超えている場合、ドレイン端子に接続される。

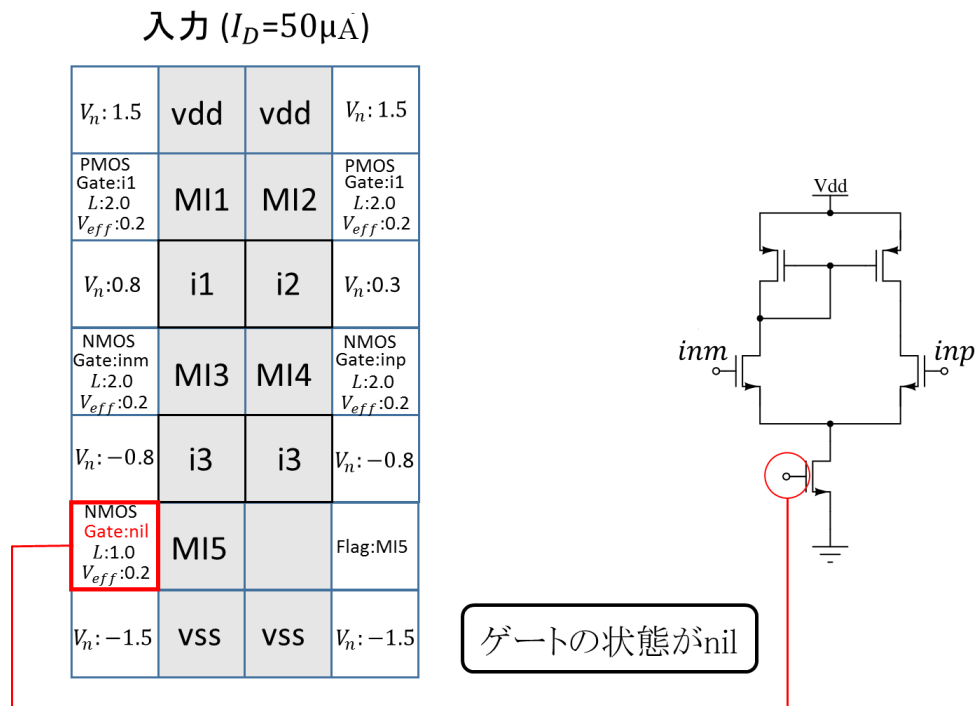


図 3.22: ゲートの状態が nil

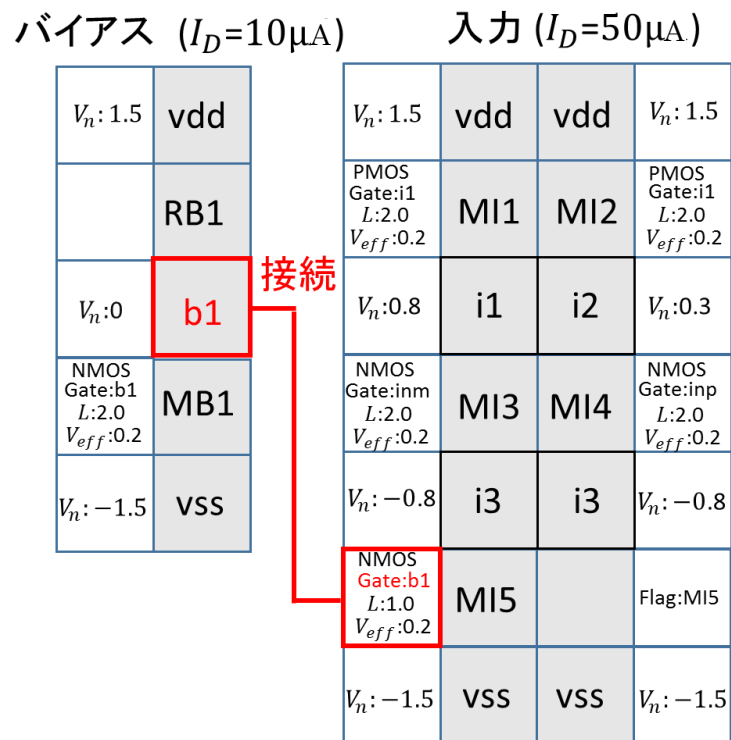


図 3.23: ゲートの接続

3.8.4 素子値、電位の調整

ゲートが接続された端子の電位 V_n を以下の条件

$$V_{nu} \geq V'_n \quad (3.5)$$

を満たす範囲で PMOS なら式 (3.6)、NMOS なら式 (3.7) の V'_n に置き換える。

$$V'_n = (V_{nsu} - V_{th} - V_{eff}) \quad (3.6)$$

$$V'_n = (V_{nsd} + V_{th} + V_{eff}) \quad (3.7)$$

次に、ゲートを共有している素子と、inm と inp が対の素子の L 、 V_{eff} 、ミラー端子(同行の端子)の V_n を統一する。3 次合成の結果の例を図 3.24 に示す。

バイアス ($I_D=10\mu A$)		入力 ($I_D=50\mu A$)				出力 ($I_D=100\mu A$)	
$V_n: 1.5$	vdd	$V_n: 1.5$	vdd	vdd	$V_n: 1.5$	$V_n: 1.5$	vdd
	RB1	PMOS Gate:i1 $L:2.0$ $V_{eff}:0.2$	MI1	MI2	PMOS Gate:i1 $L:2.0$ $V_{eff}:0.2$		MO1
$V_n: -1.0$	b1	$V_n: 0.9$	i1	i2	$V_n: 0.9$	$V_n: 0$	out
NMOS Gate:b1 $L:1.0$ $V_{eff}:0.2$	MB1	NMOS Gate:inm $L:2.0$ $V_{eff}:0.2$	MI3	MI4	NMOS Gate:inp $L:2.0$ $V_{eff}:0.2$		MO2
$V_n: -1.5$	vss	$V_n: -0.8$	i3	i3	$V_n: -0.8$	$V_n: -1.5$	vss
		NMOS Gate:b1 $L:1.0$ $V_{eff}:0.2$	MI5		Flag:MI5		
		$V_n: -1.5$	vss	vss	$V_n: -1.5$		

図 3.24: 3 次合成

3.9 素子値の決定

節 3.8.4 の結果とキャラクタライズを用いて、レイヤー内の MOSFET の W を、式(1.1)を W について変形した次式

$$V_{DS} = V_{nsu} - V_{nsd} \quad (3.8)$$

$$W = \frac{2(I_D + I_{DF})L}{\mu C_{ox} V_{eff}^2 \left(1 + \frac{V_{DS}}{V_A}\right)} \quad (3.9)$$

より算出し、抵抗 R をオームの式

$$R = \frac{V_{DS}}{I_D} \quad (3.10)$$

より算出する。ここで I_{DF} はフラグメント化された素子の電流値の合計である。作成された回路のネットリストの例を図 3.25 に示す。

```
r1 vdd 1 31.0k
m1 1 1 vss vss cmosn l=3.5u w=62.03u
m2 3 5 vdd vdd cmosp l=4.4u w=4.32u
m3 3 inp 4 vss cmosn l=3.6u w=0.8u
m4 4 1 vss vss cmosn l=3.5u w=1.59u
m5 5 5 vdd vdd cmosp l=4.4u w=4.32u
m6 5 inm 4 vss cmosn l=3.6u w=0.8u
m8 out 3 vdd vdd cmosp l=4.5u w=29.98u
m9 out 1 vss vss cmosn l=3.5u w=5.46u
```

図 3.25: 作成された回路のネットリストの例

4 演算増幅器の自動設計

4.1 自動設計の流れ

演算増幅器の自動設計の流れを図 4.1 に示す。図 4.1 の一連の処理は ruby 言語を用いてプログラミングした。図 4.1 の処理について、次節より説明する。

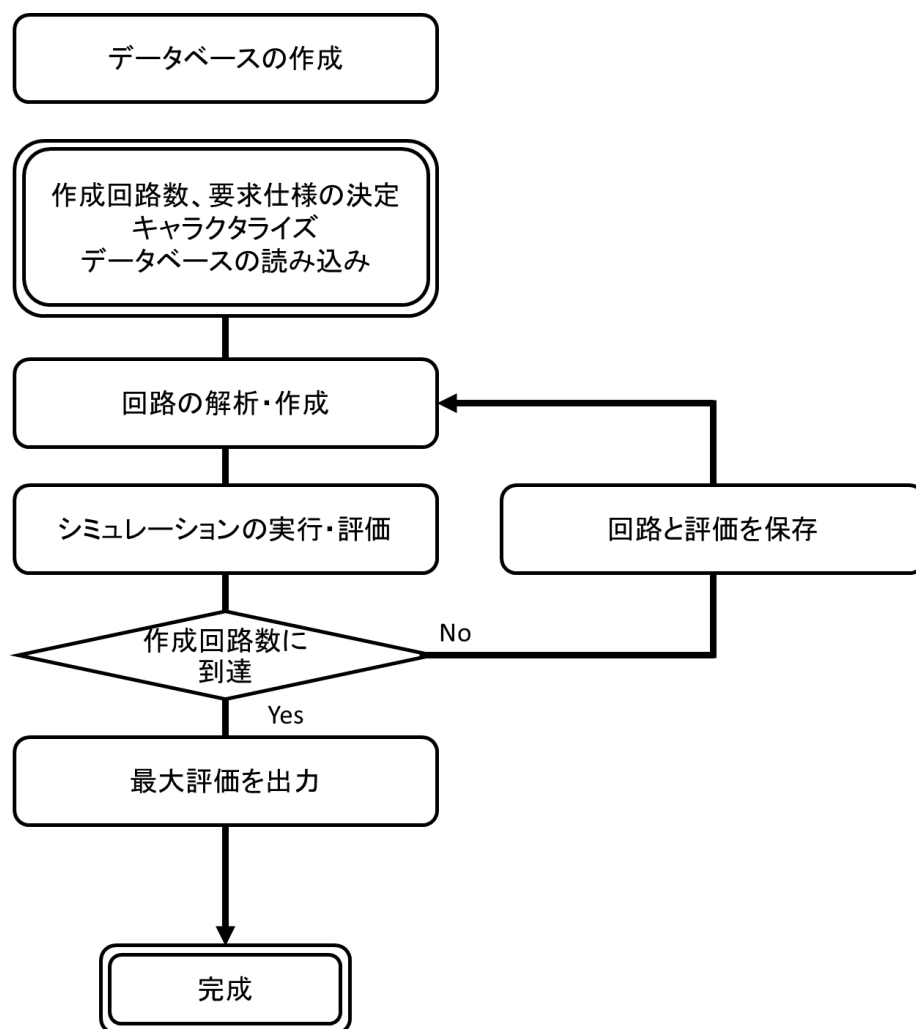


図 4.1: 自動設計の流れ

4.2 データベースの作成

4.2.1 概要

提案手法の自動設計では、要求仕様に適した回路をすばやく作成するため、事前にデータベースを作成する。データベースはトポロジー、素子値の検索に用いる。作成の流れを図 4.2 に示す。

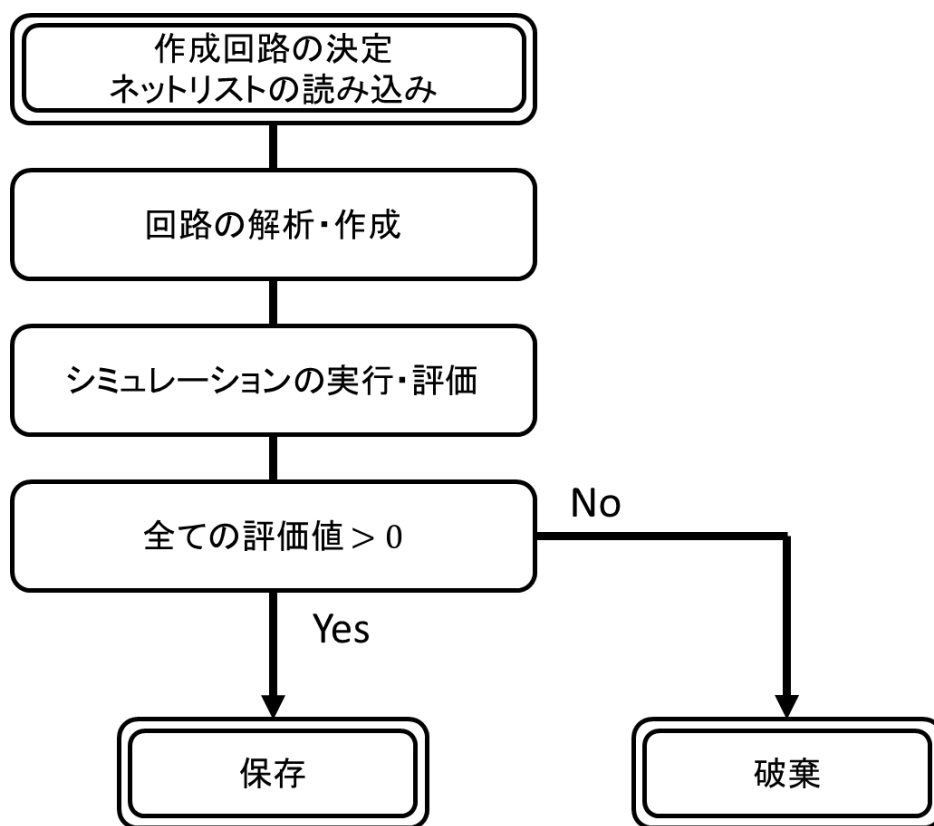


図 4.2: データベース作成の流れ

4.2.2 回路の作成条件

表 4.1 に回路の作成条件を示す。

表 4.1: 回路の作成条件

回路の選択	ランダム
L の範囲[μm]	0.2~10.0
V_{eff} の範囲[V]	0.10~0.30
バイアス回路の電流範囲[μA]	1.0~20.0
入力回路、出力回路の電流範囲[μA]	1.0~500.0

4.2.3 シミュレーションの実行・評価・保存

回路のシミュレーション及び評価値の算出方法について説明する。シミュレーションには回路設計の解析ツールの1つである HSPICE を用いた。また、評価項目、シミュレーション方法及び各性能算出用テストベンチは平成 30 年度演算増幅器設計コンテスト[45]を参考にした。全ての評価項目において、評価が 0 より上なら回路情報とシミュレーションの評価を保存する。以下、それぞれのシミュレーション方法について説明する。

4.2.3.1 電源電圧

設計する回路に用いる電源電圧は3V以下とする。本研究では両電源 $\pm 1.5\text{V}$ とする。

4.2.3.2 消費電流

消費電流を求めるために、図 4.3 のテストベンチを使用する。無信号時（非反転端子が接地される時）における演算増幅器に流れる電流の大きさを調べる。このとき、演算増幅器がオフセット電圧を持つと、負荷である帰還抵抗に直流電流が流れ、 V_{DD} から流れ出る電流または V_{SS} に流れ込む電流のどちらかがより大きくなる。そのため、バイアス電流は両方の電源の電流を見て、大きい方を回路の消費電流とする。また、電源電圧と温度を変化させ、バイアスの安定性を評価する。

表 4.2 に示すように、電源電圧を設定した値かつ温度を 25 度で解析した際のバイアス電流の大きさを I_0 とし、電源電圧を設定した値の $\pm 10\%$ 、温度を -40 度、 25 度及び 80 度と設定した際のバイアス電流値を $I_{1\sim 8}$ とする。このとき、 $I_{1\sim 8}$ に対して $\pm 50\%$ 以内を要件とする。

表 4.2: バイアス電流の安定性評価

		温度		
		-40°C	25°C	80°C
電源電圧	設定値 $\times 0.9[\text{V}]$	I_1	I_2	I_3
	設定値 $[\text{V}]$	I_4	I_0	I_5
	設定値 $\times 1.1[\text{V}]$	I_6	I_7	I_7

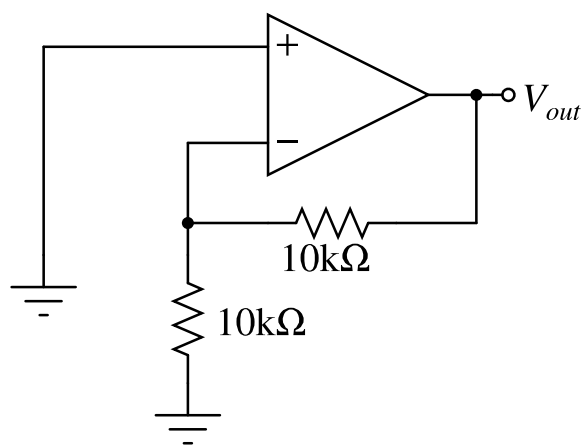


図 4.3: 消費電流の算出に用いるテストベンチ

4.2.3.3 消費電力

消費電力には電源電圧と求めた消費電流の値を用いて、電源電圧と消費電流の積を消費電力とする。

4.2.3.4 出力抵抗

算出方法

出力抵抗を求めるために、図 4.4 のテストベンチを用いて伝達関数解析を行う。伝達関数解析は、 V_{in} から V_{out} までの小信号伝達を求めるものである。ここでの小信号伝達は直流でのものであり、利得、出力抵抗、入力抵抗の値が出力される。

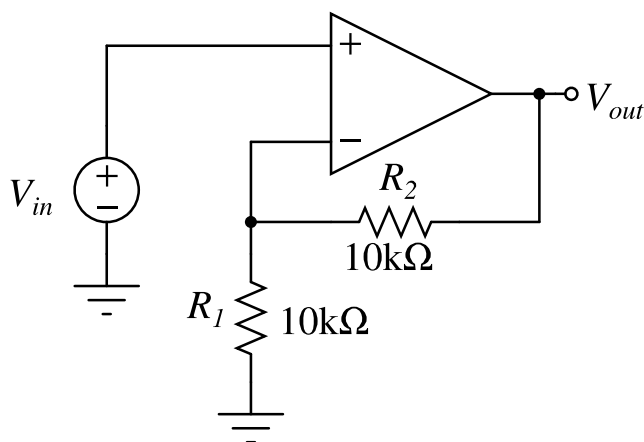


図 4.4: 出力抵抗,入力換算雑音,スルーレートの算出に用いるテストベンチ

補正計算

演算増幅器は大きな直流利得を持つため、バイアス点を適切に定めるために負帰還を掛けて解析を行う。図 4.4 についても、抵抗 R_1 及び R_2 によって負帰還が構成されている。この状態で伝達関数解析を行うと、負帰還が掛かる閉ループの出力抵抗が出力される。そのため、実際の出力抵抗値を得るには、解析結果を補正する必要がある。演算増幅器の実際の出力抵抗を r_o とすると、出力抵抗の解析値 r_{o_sim} との関係は次式で表される。

$$r_o = \frac{1 + \beta A_{0_sim}}{\frac{1}{r_{o_sim}} - \frac{1}{R_1 + R_2} - \frac{\beta A_{0_sim}}{R_L}} \quad (4.1)$$

ここで、 A_{0_sim} は直流利得の解析による算出結果（次節で説明）、 R_L は直流利得を求める際の負荷抵抗であり $20\text{k}\Omega$ （次節で説明）、 $R_1 = R_2 = 10\text{k}\Omega$ 、 β は帰還率であり $\frac{R_1}{R_1 + R_2} = 0.5$ である。

4.2.3.5 直流利得

直流利得を求めるために、図 4.5 のテストベンチを用いて小信号解析を行う。入力電圧には直流 0V、交流 1V を用いる。直流時において図 4.5 の回路は $1\text{T}\Omega$ の帰還抵抗によって負帰還構成となっているため、回路の直流バイアスが定まる。入力信号の周波数が高くなるにつれて反転入力端子と接地の間に接続されている、 1mF の容量のインピーダンスが小さくなるため負帰還量がゼロに近づき、反転入力端子が仮想的に接地している。この時、回路が開ループの時と同じ状態になり、出力には開ループ利得倍された入力電圧が現れる。よって、出力端子での利得や位相特性は開ループ時の特性とほぼ等しくなる。解析によって算出された直流利得は、本来の直流利得ではなく出力抵抗の影響を受けたものとなる。実際の直流利得 A_0 と解析結果の直流利得 $A_{0=sim}$ の関係は、次式で表す。

$$A_0 = \frac{R_L + r_o}{R_L} A_{0_sim} \quad (4.2)$$

ここで、 $R_L = 20\text{k}\Omega$ は負荷抵抗、 r_o は節 4.2.3.4 により算出した実際の出力抵抗である。

4.2.3.6 位相余裕

位相余裕を求めるために、図 4.5 のテストベンチを用いて小信号解析を行う。入力電圧には直流 0V、交流 1V を用いる。一般的に位相余裕は「開ループ利得が 0dB になった時、周波数において出力電圧の位相回転が 180 度になるのに必要な位相」と定義されている。したがって、開ループ利得が 0dB になった周波数において出力電圧の位相を求め、180 度からその分を引いた値が位相余裕となる。しかし、前提としてこの定義は主要極以外の極および零点の影響が十分無視できる。意図的に零点を挿入し局地的に位相回転を戻すと、一見して位相余裕のある演算増幅器に見えるがステップ応答の収束性が悪い等の問題が発生する。そのため、評価には「 180° から単一利得帯域内の最大位相回転を引いた値の絶対値」を用いる。

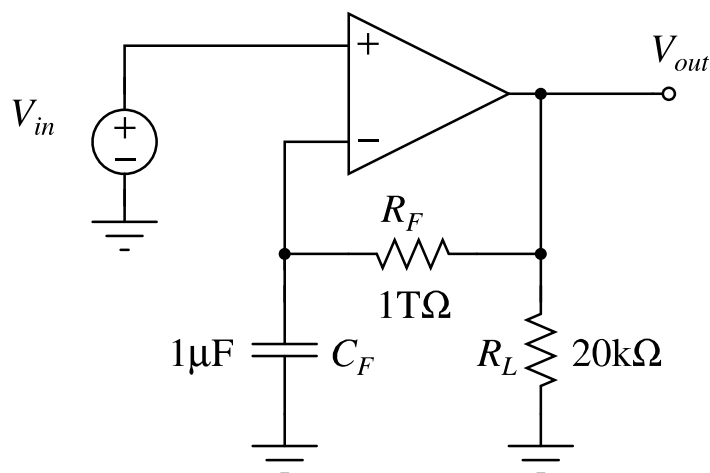


図 4.5: 直流利得,位相余裕のシミュレーションに用いるテストベンチ

4.2.3.7 利得帯域幅積

利得帯域幅積を求めるために、図 4.5 のテストベンチを用いて小信号解析を行う。入力電圧には直流 0V、交流 1V を用いる。まず、利得帯域幅積の説明を行う。一般的に演算増幅器は開ループ利得が 0dB 以上の周波数帯域において、1 つの極しか持たないように設計されている。この極を主要極と呼ぶ。そのため、演算増幅器の開ループ利得をボード線図上にプロットした際、主要極より高い周波数帯域で利得が -20dB/dec の傾きで減衰する。これは周波数が 10 倍になると利得が -20dB ($1/10$) に減衰することを意味する。この時、任意の周波数とその周波数における演算増幅器の開ループ利得の積は一定となり、それを「利得帯域幅積」と呼ぶ。主要極以外の極または零点が十分高い周波数にありその影響を無視できる場合、演算増幅器の開ループ利得が 0dB になった際も同じ傾きを持つ。よってこの場合、開ループ利得 0dB になった時の周波数は利得帯域幅積と等しくなる。直流から開ループ利得が 0dB になった周波数までの帯域を単一利得帯域幅と呼ぶ。評価には、以下の 2 項目のどちらか小さい方を用いる。

- 開ループ利得が 0dB になった周波数
- 開ループ利得が直流利得の平方根 (dB で半分) になった時の周波数と利得の積

4.2.3.8 入力換算雑音

入力換算雑音を求めるために、図 4.4 のテストベンチを用いて小信号、雑音解析を行う。評価する値は、0.1Hz から 1.0MHz までの入力換算雑音の積分値である。ただし、図 4.4 の帰還抵抗に熱雑音を生じない抵抗モデルを用いる。負帰還抵抗にこのモデルを適用することで、演算増幅器のみの雑音を評価できる。

4.2.3.9 スルーレート

算出方法

スルーレートを求めるために、図 4.4 のテストベンチを用いて過渡解析を行う。入力電圧は、立ち上がり及び立ち下がりともに傾きが 100V/ns となるようなステップ電圧を印加する。例として、 $\pm 1.5\text{V}$ の電圧振幅変化の場合、遷移時間は 0.03ns となる。スルーレートの評価は、図 4.6 を例にして説明する。ここで、 V_{AMP} 及び $-V_{AMP}$ は、それぞれ立ち上がる前の出力電圧の値と収束した後の出力電圧の値である。スルーレートの値(SR)は次式から求める。

$$SR = \frac{SR_1 + SR_2 + SR_3}{3} \quad (4.3)$$

ここで SR_1 、 SR_2 、 SR_3 は、それぞれ V_{out} が -90% のときの傾き、 0V のときの傾き、 $+90\%$ のときの傾きである。図 4.6 に立ち上がりの場合の例を示す。立ち上がり及び立ち下がり小さい方の値をスルーレートとして評価する。

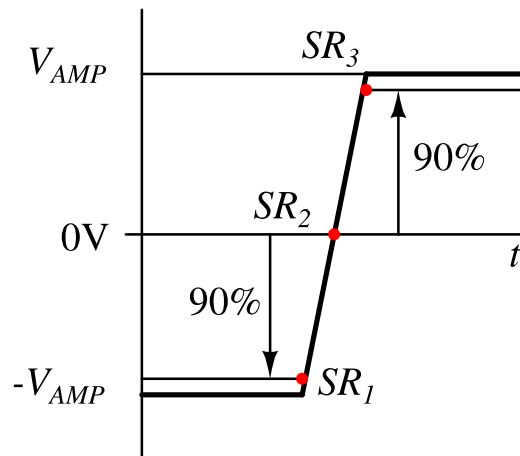
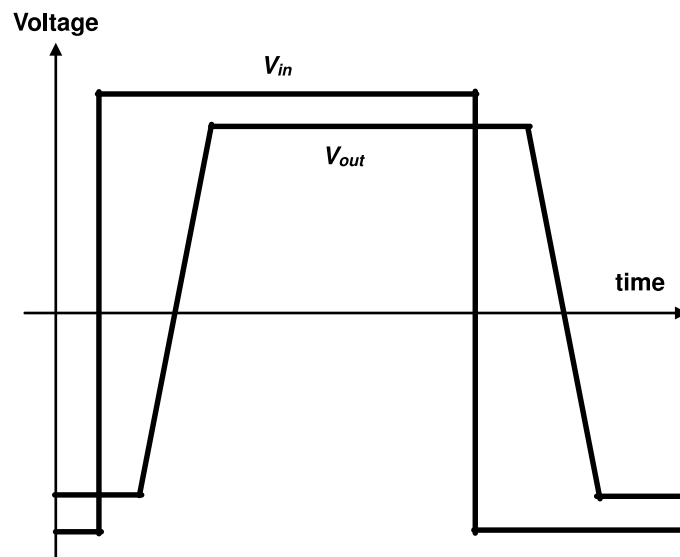


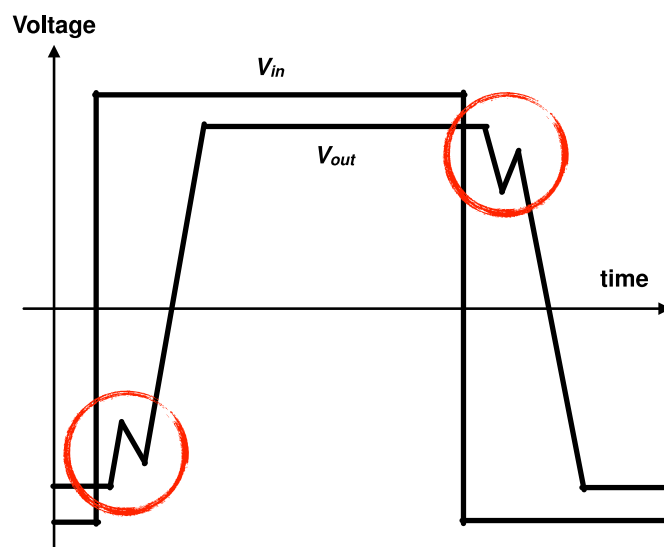
図 4.6: 立ち上がりスルーレートの例

正常波形判定方法

スルーレートの評価では、「スルーレート評価で検出される出力電圧波形の立ち上がり及び立ち下がりがそれぞれ1つしか存在しない」という要件を満たす為に、波形の立ち上がり及び立ち下がり箇所をカウントする必要がある。まず、要件を満たした出力電圧波形を図 4.7(a)、要件を満たしていない出力電圧波形を図 4.7(b)に示す。これら2種類の出力電圧波形を判別するためには、以下の方法をとる。まず、図 4.8 のように出力電圧の最大値から最低値の間で電圧を100分割する。そして、全ての電圧分割線と出力電圧が1度しか交差しないものを、正常な出力波形とする。



(a) 要件を満たしている場合



(b) 要件を満たしていない場合

図 4.7: 出力電圧波形の例

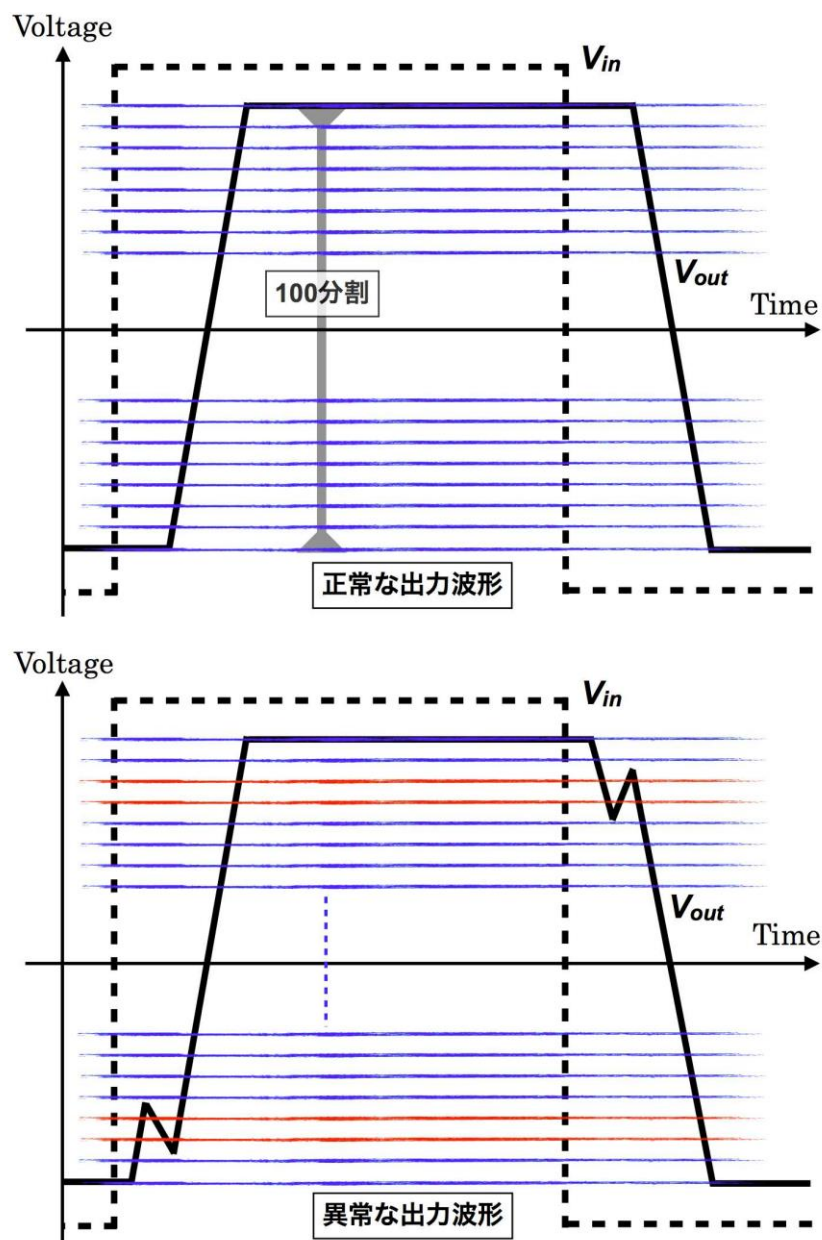


図 4.8: スルーレート出力電圧波形の正常判定法

4.2.3.10 同相除去比

同相除去比（CMRR）を求めるために、図 4.9 のテストベンチを用いて小信号解析を行う。入力電圧には直流 0V、交流 1V を用いる。CMRR の評価回路（図 4.9）は、開ループ利得を求めるための回路に、同相利得を求めるための回路を追加した構成である。同相利得を求めるための回路は、演算増幅器の入力端子の間に大きな容量を接続し、反転入力端子と出力端子の間に大きな帰還抵抗を接続する。直流では容量が開放となるため $1T\Omega$ によって演算増幅器に負帰還がかかり、バイアス状態が決定される。入力周波数が高くなるにつれて容量のインピーダンスが小さくなり演算増幅器の入力端子が短絡される状態になる。また、帰還抵抗が大きな抵抗値を持つため、周波数が高くなると入力端子と出力端子が開放される状態になり、入力端子の電位が同じように変動する（同相入力）際の出力電圧が見られる。この出力電圧と入力電圧の比を同相利得 A_c と呼び、次式で定義する。

$$A_c = \frac{V_{oc}}{V_{in}} \quad (4.4)$$

一方、演算増幅器の開ループ利得は差動利得 A_d と呼び、次式で与えられる。

$$A_d = \frac{V_{od}}{V_{in}} \quad (4.5)$$

CMRR は差動利得 A_d を同相利得 A_c で割ったものであるため、次式で求められる。

$$CMRR = \frac{A_d}{A_c} = \frac{V_{od}}{V_{in}} \quad (4.6)$$

評価には、0.1Hz のときの周波数における CMRR を使用する。

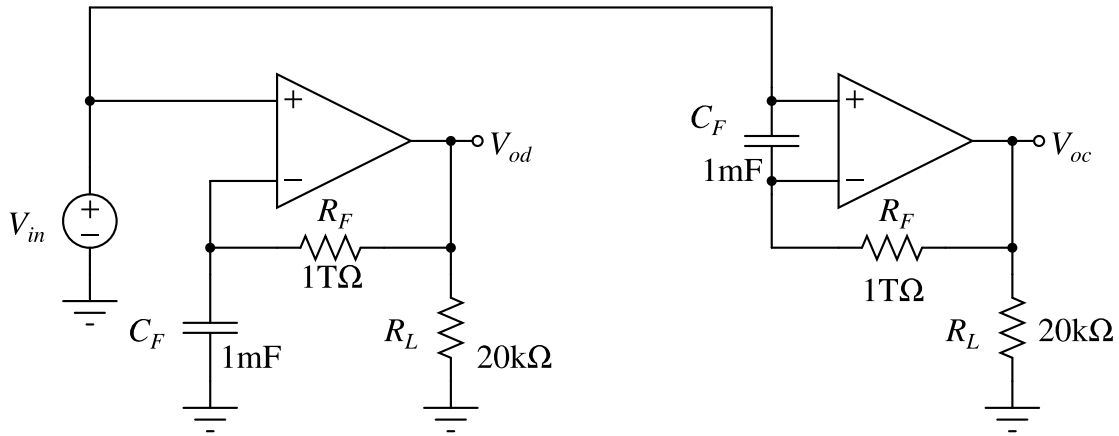


図 4.9: CMRR のシミュレーションに用いるテストベンチ

4.2.3.11 電源電圧変動除去比

電源電圧変動除去比（PSRR）を求めるために、図 4.10 のテストベンチを用いて小信号解析を行う。入力電圧には直流 0V、交流 1V を用いる。電源と演算増幅器の電源端子の間に小信号電圧源を挿入し、入力端子を接地した上で、出力電圧を求める。この際、 V_{dd} と V_{ss} の両方に同時に小信号源を挿入してはいけない。演算増幅器の開ループ利得を A_d 、 V_{dd} から出力への利得を A_{dd} 、 V_{ss} から出力への利得を A_{ss} とすると、それぞれの PSRR は以下の式で求められる。

$$RSRR_{V_{dd}} = \frac{A_d}{A_{dd}} \quad (4.7)$$

$$RSRR_{V_{ss}} = \frac{A_d}{A_{ss}} \quad (4.8)$$

評価には、0.1Hz の周波数において両者の小さい値を PSRR に使用する。

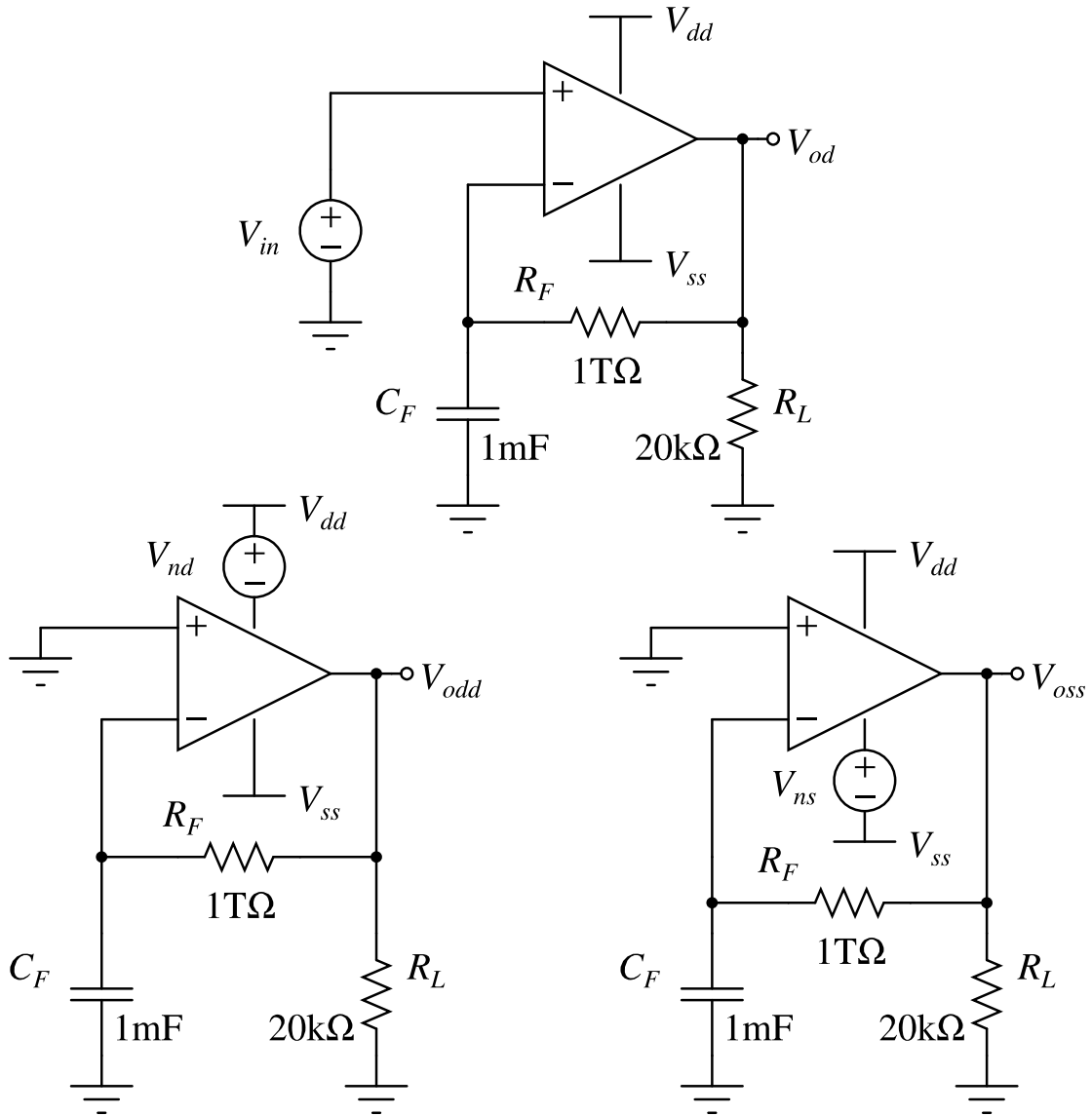


図 4.10: PSRR のシミュレーションに用いるテストベンチ

4.2.3.12 同相入力範囲

同相入力範囲を求めるために、図 4.11 のテストベンチを用いて直流解析を行う。出力電圧の誤差が 5%以下である入力電圧範囲を評価に用いる。演算増幅器は多くの場合、負帰還を掛けて使用する。この際、入力端子間は仮想短絡となり同電位になる。特に、非反転入力端子が接地されている場合反転入力端子の電位も接地電位と等しくなり、仮想接地となる。一方、正相増幅器を構成する場合、演算増幅器の両入力端子は入力電圧に追従するため、入力できる電圧は演算増幅器の同相入力電圧範囲で決まる。同相入力電圧範囲を求めるには、演算増幅器の両入力端子が接地されていない構成を用いる。しかし、正相増幅回路用いると広い入力範囲を有する演算増幅器の場合、同相入力電圧範囲が検出される前に出力電圧が飽和し、正しく評価できない。正しく評価を行うためには、回路の利得をなるべく小さくする必要があるが、小さすぎると出力電圧の誤差が大きくなってしまい、検出条件である誤差 5%以内を満たすことが困難である。そこで、評価する演算増幅器の後ろに利得が 10 倍の理想増幅回路（電圧制御電圧源）を接続し出力電圧を増幅させる。図 4.11 では回路の利得が-0.5 倍となっており、入力電圧は電源電圧の 2 倍で変化するため、出力電圧は電源電圧まで変化する。一方、評価する演算増幅回路の出力電圧は、10 倍の増幅器により電源電圧の 1/10 しか変化しない。これは出力電圧の要件に等しい値であり、出力段の特性が評価に影響しないための工夫である。演算増幅器の入力端子の同相電圧は入力電圧の半分なので、この場合は電源電圧まで変動する。同相入力範囲は出力電圧の誤差（理論値と解析値との差）で評価するが、演算増幅器がオフセットを持つと、そのオフセットが出力に現れ誤差として検出される。その影響を排除するために、解析から得られた出力電圧からオフセット電圧を引いたものを用いて、次式を満たす入力電圧を求める。

$$1 - \frac{|V_{out} - V_{os}|}{GV_{in}} < 0.05 \quad (4.9)$$

このときに得られた最大と最小入力電圧を V_{inmax} と V_{inmin} とした場合、同相入力電圧範囲 V_{cmr} は次式で求められる。

$$V_{cmr} = 0.5(V_{inmax} - V_{inmin}) \quad (4.10)$$

最後に、同相入力範囲の評価に用いる値 $CMRR$ は次式で求める。

$$CMRR = \frac{V_{cmr}}{V_{dd} - V_{ss}} \quad (4.11)$$

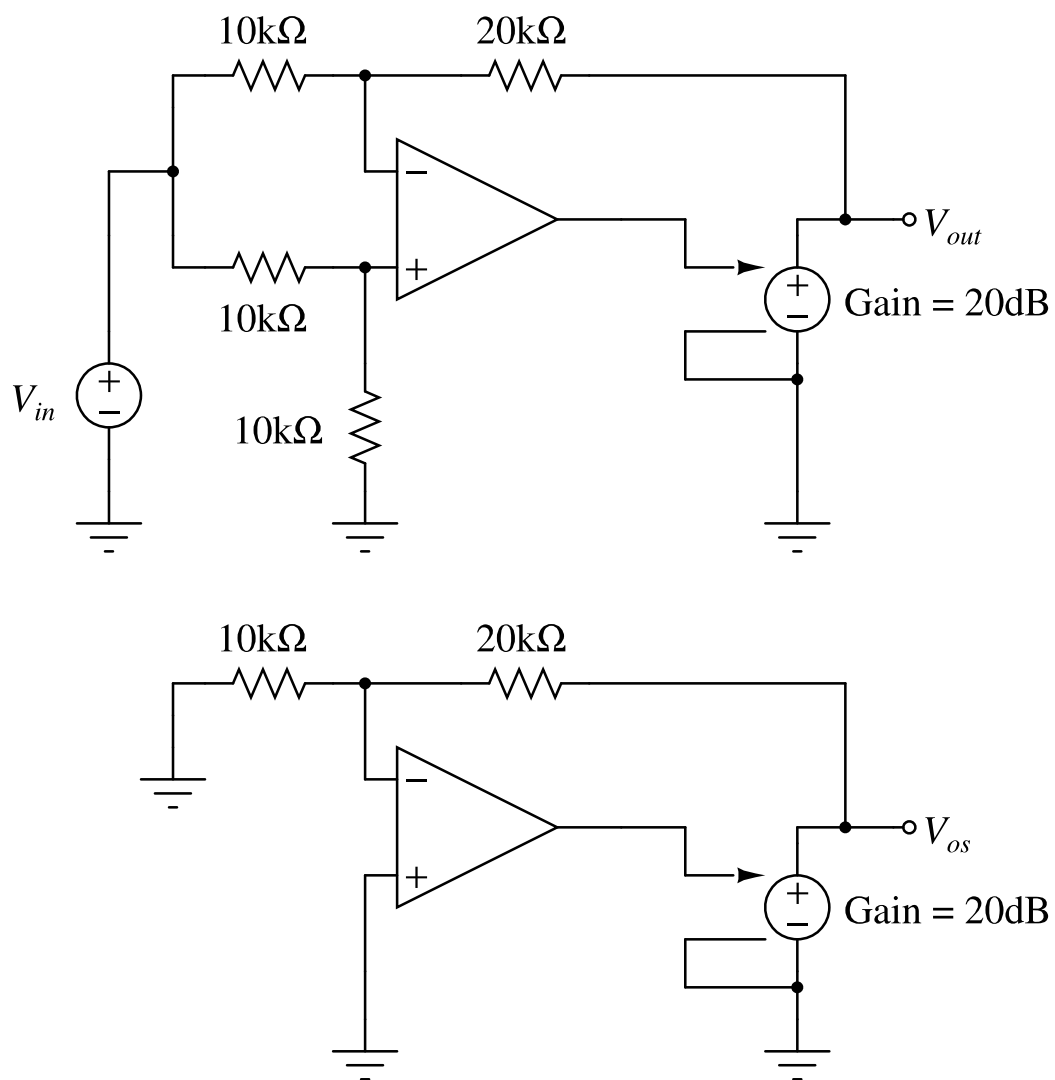


図 4.11: 同相入力範囲のシミュレーションに用いるテストベンチ

4.2.3.13 出力電圧範囲

出力電圧範囲を求めるために、図 4.12 のテストベンチを用いて直流解析を行う。出力電圧の誤差が 5%以下である出力電圧範囲を評価に用いる。出力電圧範囲は演算増幅器の入力端子が接地電位に固定されているような構成を用いて評価する。評価回路は利得が-1 倍の反転増幅器を用いる。演算増幅器がオフセット電圧を持つと、それが出力電圧の誤差として現れる。この項目で評価する出力電圧はオフセット分を除いたものであるため、次式で出力電圧範囲 V_{or} を求める。

$$1 - \frac{|V_{out} - V_{os}|}{V_{in}} < 0.05 \quad (4.12)$$

最後に、出力電圧範囲の評価に用いる値 OVR は次式で求める。

$$OVR = \frac{V_{or}}{V_{dd} - V_{ss}} \times 100\% \quad (4.13)$$

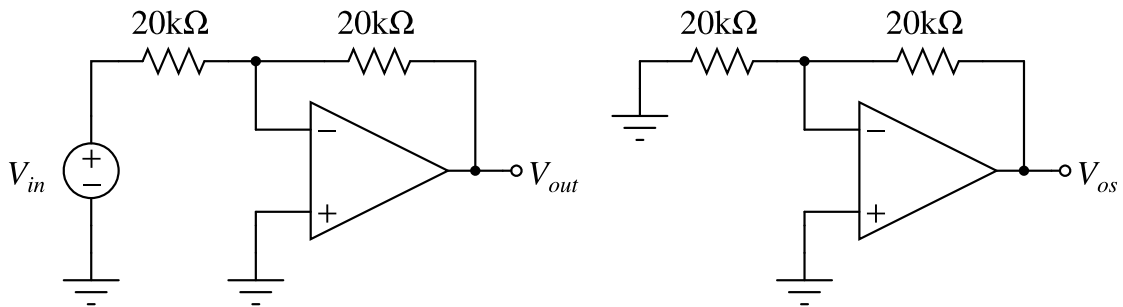


図 4.12: 出力電圧範囲のシミュレーションに用いるテストベンチ

4.2.4 データベースの一例

データベースの一例を図 4.13 に示す。データベースには以下が保存されている。

- 回路の列分解情報(使用トポロジー)
- 列あたりの電流値
- 回路の接続情報、素子値
- シミュレーション値

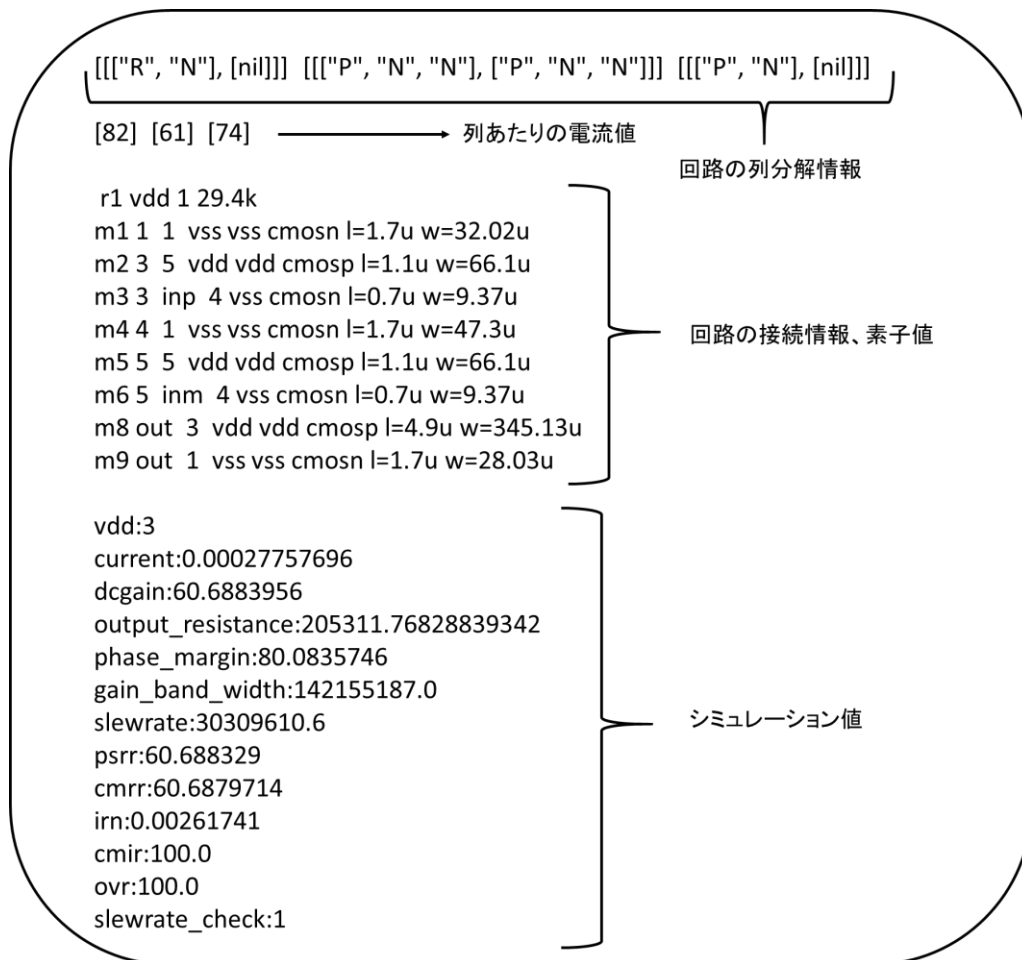


図 4.13: データベースの一例

4.3 作成回路数・要求仕様の決定

キャラクタライズ・データベースの読み込み

4.3.1 作成回路数・要求仕様の決定

作成回路数と要求仕様を決定し、次節以降の処理に適応する。要求仕様の決定は2段階に分けて行う。第一段階では回路の最低要項を決定する。最低要項とは、全ての項目において満たさなければならない最低の値である。最低要項を全て満たした場合、第2段階の評価へと移行する。本研究で使用した最低要項を表4.3に示す。第2段階では、アナログ回路設計における性能のトレードオフを考慮した評価関数を決定する。評価関数の例を次に示す。

$$Score = \frac{SR \times CMIR \times DCGain}{CC} \quad (4.14)$$

この関数を回路の評価とする。

4.3.2 キャラクタライズ・データベースの読み込み

第2章で作成したキャラクタライズと節4.2で作成したデータベースを読み込む。読み込んだデータベースより、評価の一番高い回路を検索する。検索された回路の L 値、 I_D 値を以下の範囲

$$0.2 \leq L' \leq 10.0 \quad (4.15)$$

$$1.0 \leq I_D' \leq 500.0 \quad (4.16)$$

を満たす範囲で、次式

$$L' = ((1 - \alpha)L_D) \sim ((1 + \alpha)L_D) \quad (4.17)$$

$$I_D' = ((1 - \alpha)I_{DD}) \sim ((1 + \alpha)I_{DD}) \quad (4.18)$$

より乱数により変動させ、検索された回路に適応する。ここで α は、変動率であり、本研究では $\alpha=0.3$ とした。 L_D は検索された回路の L 値であり、 L' は回路に適応する L 値である。また I_{DD} は検索された回路の I_D 値であり、 I_D' は回路に適応する I_D 値である。回路の L 値、 I_D 値を変動させた回路を、前節で決定した回路の作成数の30%作成し、残りの70%はトポロジー、素子値共にランダムに作成する。データベースに要求仕様を満たす回路が存在しない場合は、全てのトポロジー、素子値をランダムに作成する。作成する回路が決定後、次節の処理に適応する。

表 4.3: 設計最低要項

評価項目	設計最低要項
01. 電源電圧	3.0V 以下
02. 消費電流 (CC)	(変動に関する条件)
03. 消費電力 (PD)	100mW 以下
04. 出力抵抗 (OR)	無し
05. 直流利得 ($DCGain$)	40dB 以上
06. 位相余裕 (PM)	45deg 以上
07. 利得帯域幅 (GBW)	1MHz 以上
08. 入力換算雑音 (IRN)	無し
09. スルーレート (SR)	0.1V/ μ s 以上
10. 同相除去比 ($CMRR$)	40dB 以上
11. 電源電圧除去比 ($PSRR$)	40db 以上
12. 出力電圧範囲 (OVR)	5.0%以上
13. 同相入力範囲 ($CMIR$)	5.0%以上

4.4 回路の解析・作成

前節より作成回路決定後、3 章の手順で回路の解析・作成を行い、次節の処理に適用する。

4.5 シミュレーションの実行・評価・回路の出力

前節で作成された回路をシミュレーション・評価を行う。評価は節 4.3 で決定した要求仕様によって決まる。作成した回路全てのシミュレーションが完了したら、評価の一番高い回路と、データベースより検索された回路を比較し、評価の高いほうを出力する。

5 演算増幅器の自動設計結果

5.1 概要

図 4.1 のフローチャートに沿って自動設計した結果と従来の自動設計結果を比較する。比較対象として、遺伝的アルゴリズム用いた自動設計[33] (従来法[33]) と 9、数式を用いた自動設計[38] (従来法[38]) を用いた。

5.2 要求仕様の決定

最低要項として表 4.3 を、評価関数として式(4.14)を用いた。式(4.14)は、スルーレートの向上には大きな電流が必要となり相互にトレードフを示す関係となっている。そのため式(4.14)は、低消費電流で高スルーレートを有し、広い電圧範囲で高利得となる回路において評価値が高い関数である。

5.3 自動設計結果

自動設計結果の比較を表 5.1 に、提案手法の回路構成を図 5.1 に、従来法[33]の回路構成を図 5.2 に、従来法[38]の回路構成を図 5.3 に示す。表 5.1 より、提案手法にて設計した回路は、従来の両手法と比べ評価が高いことが確認できる。提案手法と、従来の手法において評価の高い従来法[33]を比較すると、消費電流で大きく差が出ている。提案手法では、表 4.1 に示すように、電流値の範囲をバイアス回路と他の回路をわけて決定しており、特にバイアス回路においては、低電流値を範囲としている。そのため、各回路において最適な電流値を選択することができ、消費電流を減らすことができたため評価が向上したと考えられる。また提案手法では、従来の両手法に比べ、作成回路数を最小限に抑えることができ、効率的な自動設計が可能であると確認できる。

表 5.1: 自動設計結果

評価項目	提案手法	従来法[33]	従来法[38]
電源電圧[V]	$V_{SS} = -1.5, V_{DD} = 1.5$		
消費電流[A]	1.9116E-05	1.9238E-04	4.607E-05
消費電力[W]	5.7348E-04	5.7715E-04	1.382E-04
出力抵抗[Ω]	4.0458E+05	1.4458E+05	1.963E+05
直流利得[dB]	7.7651E+01	6.3679E+01	7.334E+01
位相余裕[degree]	4.9613E+01	5.2920E+01	4.662E+01
利得帯域幅[Hz]	1.2743E+09	1.6022E+09	8.936E+07
入力換算雑音[Hz]	7.2489E-03	3.4057E-02	2.071E-02
スルーレート[V/s]	2.1162E+09	3.1372E+09	7.536E+07
同相除去比[dB]	5.1105E+01	5.5961E+01	7.563E+02
電源電圧除去比[dB]	5.1103E+01	5.1139E+01	7.053E+02
出力電圧範囲[%]	6.5233E+01	8.9333E+01	7.100E+01
同相入力範囲[%]	9.6013E+01	1.0000E+02	9.833E+01
評価	8.2535E+17	1.0384E+17	1.1796E+16
作成回路数[回路]	100	15000	300

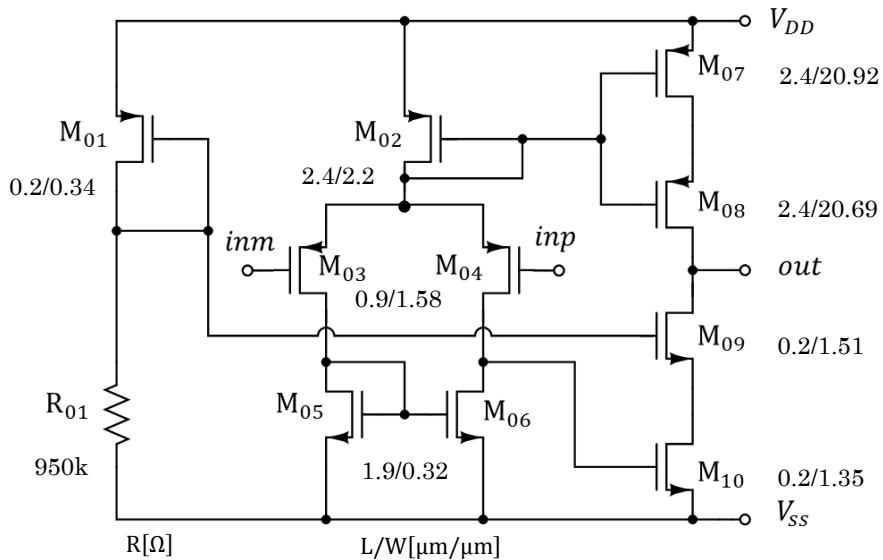


図 5.1: 提案手法の回路構成

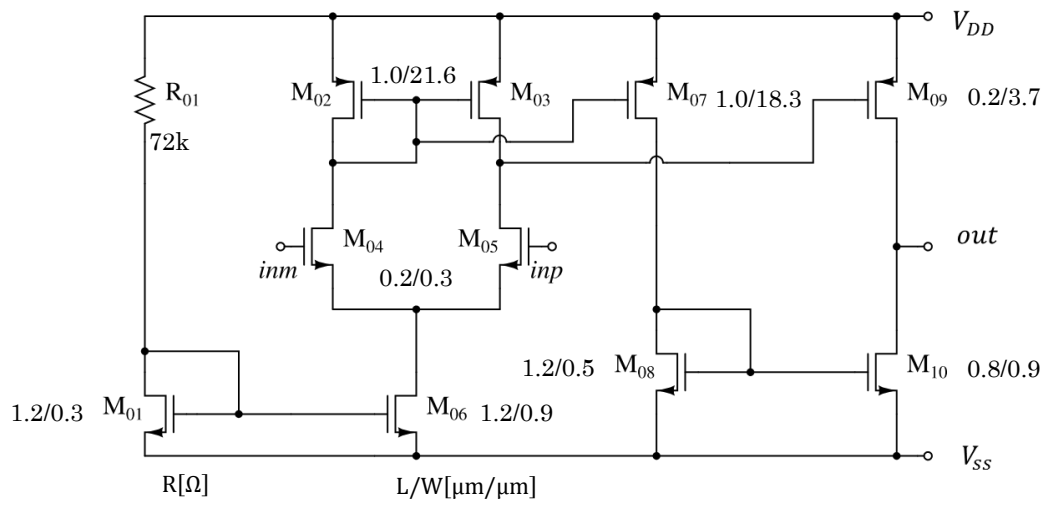


図 5.2: 従来法[33]の回路構成

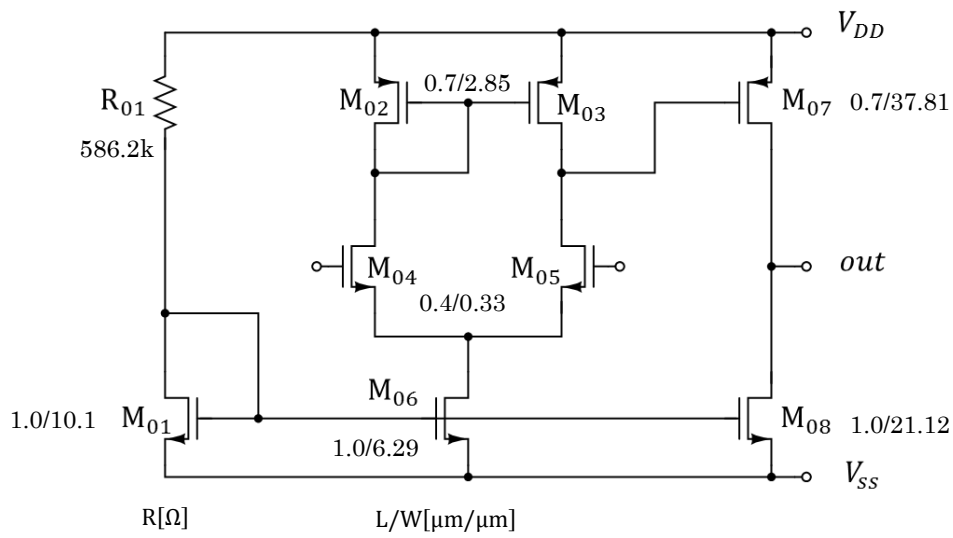


図 5.3: 従来法[38]の回路構成

6 まとめ・今後の課題

6.1 まとめ

本論文ではキャラクタライズと回路の解析・作成を組み合わせることで、要求特性に合わせた回路と素子値の自動設計を実現した。また、特性におけるトレードオフを考慮した評価関数を用意し、従来の手法と比較を行った。自動設計の結果、従来の手法と比べ、高性能な演算増幅器を効率的に設計することができた。

6.2 今後の課題

今後の課題は、回路の解析・作成をネットリスト以外にも対応することである。これにより、登録回路ブロックが増え、様々なアプリケーションに応用できる演算増幅器の自動設計の実現が期待できる。

謝辞

本研究を進めるにあたり、有益な御助言を頂いた所属研究室の高井伸和准教授、小林春夫教授、同期の三木夏子氏、同研究分野の福田雅史氏、新井貴之氏、久保友助氏、松場輝樹氏、新井信吾氏、今野哲史氏、猿田将大氏に心より感謝を申し上げます。また、論文審査をして頂きました伊藤直史准教授、弓仲康史准教授に心より感謝申し上げます。最後に、技官の石川信宣様、そして高井研究室および小林研究室の皆様にも心より感謝申し上げます。

参考文献

- [1]. 海野 直之, 高木 茂孝, 藤井 信生, "回路ブロックの組み合わせによるアナログ電子回路の自動合成 —オペアンプの合成—," 電気学会 電子回路研究会, ECT-04-18, pp.35-40, Jan. 2004.
- [2]. Kenya Jin'no, "An Automated Circuit Design Procedure by Means of Genetic Programming," International Symposium on Nonlinear Theory and its Applications, pp.194-197, Bruges, Belgium, Oct. 2005.
- [3]. Feng Wang and Yuan-Xiang, "Analog Circuit Design Automation Using Neural Network-Based Two-Level Genetic Programming," Machine Learning and Cybernetics, 2006 International Conference on pp.2087-2092, Dalian, China, Aug. 2006.
- [4]. 竹原 裕司, 夏井 雅典, 田所 義昭, "GAを用いたオペアンプの最適素子値探索における個体表現の検討," 電気学会 電子回路研究会, ECT-08-27, pp.41-46, Mar 2008.
- [5]. JIANHAI YU, ZHIGANG MAO, "A Design Method in CMOS Operational Amplifier Optimization Based on Adaptive Genetic Algorithm," WSEAS Transactions on Circuits and Systems archive, Volume 8 Issue 7, Pages 548-558, July 2009
- [6]. D.E.Goldberg, K.Sastry, "Genetic Algorithms : The Design of Innovation," 2nd edition. Springer, 2010.
- [7]. 新井 直樹, 高井 伸和, 根岸 孝行, 加藤 雅人, 関 洋明, 小林 春夫, "遺伝的アルゴリズムを用いたオペアンプの自動合成," 電気学会電子回路研究会, ECT-13-066, pp. 51-56, 函館, July. 2013.
- [8]. Takayuki NEGISHI, Naoki ARAI, Nobukazu TAKAI, Masato KATO, Hiroaki SEKI, Sumit Kumar BISWAS and Haruo KOBAYASHI, "Automatic Synthesis of Comparator Circuit Using Genetic Algorithm," IEICE ICDV2013, pp.116-121, Ho Chi Minh city, Vietnam, Nov. 2013.
- [9]. Naoki Arai, Nobukazu Takai, Biswas Sumit Kumar and Haruo Kobayashi, "Design of Analog Filter Using Genetic Algorithm," Key Engineering Materials, Vol.596 pp.187-194, 2014.

- [10]. 関 洋明, 新井 直樹, 根岸 孝行, 加藤 雅人, 小林 春夫, 高井 伸和, “遺伝的アルゴリズムを用いたポリフェーズフィルタの自動合成,” 第4回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-14-25 ETT-14-25, pp.78-81, 群馬大学, Mar. 2014.
- [11]. 関 洋明, 高井 伸和, 小林 春夫, 根岸 孝行, 加藤 雅人, 菅原 誉士紀, 鈴木 研人, “遺伝的アルゴリズムを用いた複素フィルタの自動設計,” 電気学会 電子回路研究会, ECT-14-054, pp.13-18, 島根, July. 2014.
- [12]. 関 洋明, 高井 伸和, 小林 春夫, 根岸 孝行, 加藤 雅人, “遺伝的アルゴリズムを用いた複素フィルタの自動合成,” 電子情報通信学会 第27回 回路とシステムワークショップ, pp.276-281, 淡路島, Aug. 2014.
- [13]. H. Seki, N. Takai, H. Kobayashi, T. Negishi, M. Kato, Y. Sugawara, K. Suzuki, “Automatic Design of Complex Filter Using Genetic Algorithm,” The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, pp. 54-60, HoChiMinhCity, Vietnam, Oct. 2014.
- [14]. T. Negishi, N. Arai, N. Takai, M. Kato, H. Seki, H. Kobayashi, “Automatic Synthesis of Comparator Circuit Using Genetic Algorithm and SPICE Optimizing Function,” Key Engineering Materials, In Printing 2015.
- [15]. 菅原 誉士紀, 高井 伸和, 小林 春夫, 根岸 孝行, 加藤 雅人, 関 洋明, 鈴木 研人, “遺伝的アルゴリズムによる素子値広がりを抑えたRCポリフェーズフィルタの自動設計,” 電気学会 電子回路研究会, ECT-15-015, pp.49-54, 高知, Jan. 2015.
- [16]. 菅原 誉士紀, 高井 伸和, 根岸 孝行, 加藤 雅人, 関 洋明, 鈴木 研人, 小林 春夫, “分散型遺伝的アルゴリズムによる素子値広がりを抑えたRC ポリフェーズフィルタの自動設計,” 電子情報通信学会 アナログRF 研究会, 東京, Mar. 2015.
- [17]. 菅原 誉士紀, 高井 伸和, 加藤 雅人, 関 洋明, 鈴木 研人, 小林 春夫, “分散型遺伝的アルゴリズムによる抵抗両終端形RC ポリフェーズフィルタの自動設計,” 電気学会 電子回路研究会, ECT-15-050, pp. 23-26, 神奈川, Jul. 2015.

- [18]. T. Negishi, N. Arai, N. Takai, M. Kato, H. Seki, H. Kobayashi, "Automatic Synthesis of Comparator Circuit Using Genetic Algorithm and SPICE Optimizing Function," Key Engineering Materials, In Printing 2015.
- [19]. Y. Sugawara, N. Takai, M. Kato, H. Seki, K. Suzuki, H. Kobayashi, "Automatic Design of Doubly-terminated RC Polyphase Filters by Using Distributed Genetic Algorithm," 2015 IEEE 11th International Conference on ASIC, B3-6, Chengdu, China, Nov. 2015.
- [20]. 関 洋明, 高井 伸和, 小林 春夫, 加藤 雅人, 菅原 誉士紀, 鈴木 研人, 大河内 一登, 吉澤 慧, "ブロック回路を用いたアナログ電子回路の自動設計," 第6回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-16-77, pp. 225-228, 前橋工科大学, Mar. 2016.
- [21]. 加藤 雅人, 新井 直樹, 根岸 孝行, 関 洋明, 高井 伸和, 小林 春夫, "回路ブロックの組み合わせによるコンパレータ回路の自動合成," 第4回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-14-26 ETT-14-26, pp.82-87, 群馬大学, Mar. 2014.
- [22]. 加藤 雅人, 高井 伸和, 小林 春夫, 根岸 孝行, 関 洋明, "回路ブロックの組み合わせによるコンパレータ回路の自動合成," 電子情報通信学会 第27回 回路とシステムワークショップ, pp. 446-451, 淡路島, Aug. 2014.
- [23]. M. Kato, N. Takai, H. Kobayashi, T. Negishi, H. Seki, Y. Sugawara, K. Suzuki, "Automatic Synthesis of Comparator Circuits by Using Combination of Circuit Blocks," The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, pp. 47-53, HoChiMinhCity, Vietnam, Oct. 2014.
- [24]. 高井 伸和, 新井 直樹, 根岸 孝行, 関 洋明, 加藤 雅人, "回路ブロックの組み合わせによる演算増幅器の自動設計," 電子情報通信学会論文誌, J98-A, No. 4, Apr. 2015.
- [25]. 鈴木 研人, 高井 伸和, 根岸 孝行, 加藤 雅人, 関 洋明, 菅原 誉士紀, 小林 春夫, "遺伝的アルゴリズム及びHSPICEの最適化機能を組み合わせたコンパレータの自動合成," 電気学会 電子回路研究会, ECT-15-014, pp.43-48, 高知, Jan. 2015.

- [26]. 鈴木 研人, 高井 伸和, 根岸 孝行, 加藤 雅人, 関 洋明, 菅原 誉士紀, 小林 春夫, “分散遺伝的アルゴリズムと HSPICE の最適化機能を組み合わせたコンパレータの自動合成,” 電子情報通信学会 アナログ RF 研究会, 東京, Mar. 2015.
- [27]. 鈴木 研人, 高井 伸和, 加藤 雅人, 関 洋明, 菅原 誉士紀, 小林 春夫, “適応度駆動型による素子値最適化を用いたコンパレータの高速自動設計法の提案,” 電気学会 電子回路研究会, ECT-15-051, pp. 27-32, 神奈川, Jul. 2015.
- [28]. K. Suzuki, N. Takai, M. Kato, H. Seki, Y. Sugawara, H. Kobayashi, “Comparator Circuits Automation by Combination of Distributed Genetic Algorithm and HSPICE Optimization,” 2015 IEEE 11th International Conference on ASIC, B4-3, Chengdu, China, Nov. 2015.
- [29]. 加藤 雅人, 高井 伸和, 関 洋明, 菅原 誉士紀, 鈴木 研人, 吉澤 慧, 大河内 一登, 小林 春夫 “機能ブロックの組み合わせによる演算増幅器の自動設計,” 第 6 回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-16-48, pp. 133-138, 前橋工科大学, Mar. 2016.
- [30]. 菅原 誉士紀, 高井 伸和, 鈴木 研人, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, “データベースを用いた設計情報管理方式による演算増幅器の自動設計,” 電子情報通信学会 集積回路研究会(ICD), 東京, Dec. 2016.
- [31]. 吉澤 慧, 高井 伸和, 大河内 一登, “回路トポロジーの決定手法にゲーム木探索を適用した演算増幅器の自動設計,” 電気学会 電子回路研究会, ECT-18-038, 日立製作所, Mar. 2018.
- [32]. M.G.R. Degrauwe, O. Nys, E. Dijkstra et al., “IDAC: an interactive design tool for analog CMOS circuits,” IEEE Journal of Solid-State Circuits, Volume: 22, Issue: 6, Dec 1987.
- [33]. 鈴木 研人, 高井 伸和, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, “数式ベースと遺伝的アルゴリズムの組み合わせによる演算増幅器の自動設計,” 電子情報通信学会 集積回路研究会(ICD), EMD2016-83, pp. 69-74, 広島, Jan. 2017.

- [34]. 鈴木 研人, 高井 伸和, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, "MOSFET のキャラクタライズ結果を用いたバイアス回路の自動設計," 集積回路研究会, ICD2016-91, pp. 119-122, 東京工業大学, Dec. 2016.
- [35]. 鈴木 研人, 高井 伸和, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, "数式ベースと遺伝的アルゴリズムの組み合わせによる演算増幅器のハイブリッド自動設計," 第7回電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-17-44, pp. 113-116, 足利工業大学, Mar. 2017.
- [36]. M.G.R. Degrauwe, O. Nys, E. Dijkstra et al., "IDAC: an interactive design tool for analog CMOS circuits," IEEE Journal of Solid-State Circuits, Volume: 22, Issue: 6, Dec 1987.
- [37]. B.J. Sheu, J.C. Lee, A.H. Fung, "Flexible architecture approach to knowledge-based analogue IC design," IEEE Proceedings G - Circuits, Devices and Systems, Volume:137, Issue:4, Aug. 1990.
- [38]. 石井 司, 高井 伸和, 鈴木 研人, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 篠田 沙樹, 福田 雅史, "数式及びキャラクタライズを用いたアナログ集積回路の自動設計," 第7回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-17-61, pp. 163-166, 足利工業大学, Mar. 2017.
- [39]. T. Ishii, N. Takai, "Automatic Design of The Analog Integrated Circuit Based On Equation-Based and Characterize Results," IEEE International Symposium on Intelligent Signal Processing and Communication Systems 2017, NP-L2, Xiamen, China, Nov. 2017.
- [40]. H.Y. Koh, C.H. Sequin, P.R. Gray, "OPASYN: a compiler for CMOS operational amplifiers." IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Volume: 9, Issue: 2, Feb 1990.
- [41]. K. Swings, W. Sansen, "DNALD: a workbench for interactive design space exploration and sizing of analog circuits," Proceedings of the European Conference on Design Automation, pp. 475-479, Feb. 1991.

- [42]. M.M. Hershenson, S.P. Boy, T.H. Lee, "Optimal Design of a CMOS Op-Amp via Geometric Programming," IEEE Transactions on Computer-Aided Design, Volume 22, No.1, pp.1-21, Jan 2001.
- [43]. 鈴木 研人, 高井 伸和, 築地 伸和, 加藤 雅人, 関 洋明, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 小林 春夫, "MOSFET のキャラクターライズ自動化の提案," 第6回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-16-90, pp.263-265, 前橋工科大学, Mar. 2016.
- [44]. TSMC社CMOS0.18 μ mのプロセスパラメータ, <http://www.ele.uri.edu/courses/ele448/Labs/Lab1/tsmc-018.txt>
- [45]. 平成30年演算増幅器設計コンテスト, <http://www.ec.ce.titech.ac.jp/opamp/2018/>

学会成果

- [1]. 菅原 誉士紀, 高井 伸和, 鈴木 研人, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, “データベースを用いた設計情報管理方式による演算増幅器の自動設計,” 電子情報通信学会 集積回路研究会(ICD), 東京, Dec. 2016
- [2]. 鈴木 研人, 高井 伸和, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, “MOSFET のキャラクタライズ結果を用いたバイアス回路の自動設計,” 電子情報通信学会 集積回路研究会(ICD), 東京, Dec. 2016.
- [3]. Y. Sugawara, N. Takai, H. Kobayashi, K. Suzuki, S. Yoshizawa, K. Okochi, T. Ishii, S. Shinoda, M. Fukuda, “Automatic Design of Operational Amplifier Based on Design Information Management System,” 8th International Conference on Advanced Micro-Device Engineering, P71, Kiryu, Japan, Dec. 2016.
- [4]. 菅原 誉士紀, 高井 伸和, 鈴木 研人, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, “回路性能変化の可視化による学習アルゴリズムを用いた演算増幅器の自動設計,” 電子情報通信学会 集積回路研究会(ICD), EMD2016-84, pp.75-80, 広島, Jan. 2017.
- [5]. 鈴木 研人, 高井 伸和, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, “数式ベースと遺伝的アルゴリズムの組み合わせによる演算増幅器の自動設計,” 電子情報通信学会 集積回路研究会(ICD), EMD2016-83, pp.69-74, 広島, Jan. 2017.
- [6]. 福田 雅史, 高井 伸和, 鈴木 研人, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, “ディープラーニングを用いたアナログ回路の推論設計,” 電気学会 電子回路研究会, ECT-017-037, pp.51-56, 法政大学, Mar. 2017.
- [7]. 石井 司, 高井 伸和, 鈴木 研人, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 篠田 沙樹, 福田 雅史, “数式及びキャラクタライズを用いたアナログ集積回路の自動設計,” 第7回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-17-61, pp.163-166, 足利工業大学, Mar. 2017.

- [8]. 福田 雅史, 高井 伸和, 鈴木 研人, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, “アナログ回路設計におけるディープラーニングの活用,” 第7回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-17-60, pp.159-162, 足利工業大学, Mar. 2017.
- [9]. 篠田 沙樹, 高井 伸和, 鈴木 研人, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 福田 雅史, “遺伝的アルゴリズムを用いた低雑音増幅器の自動設計,” 第7回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-17-59, pp.156-158, 足利工業大学, Mar. 2017.
- [10]. 鈴木 研人, 高井 伸和, 菅原 誉士紀, 大河内 一登, 吉澤 慧, 石井 司, 篠田 沙樹, 福田 雅史, “数式ベースと遺伝的アルゴリズムの組み合わせによる演算増幅器のハイブリッド自動設計,” 第7回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-17-44, pp.113-116, 足利工業大学, Mar. 2017.
- [11]. T. Ishii, N. Takai, “Automatic Design of The Analog Integrated Circuit Based On Equation-Based and Characterize Results,” IEEE International Symposium on Intelligent Signal Processing and Communication Systems 2017, NP-L2, Xiamen, China, Nov. 2017.
- [12]. M. Fukuda, N. Takai, T. Ishii, “OPAMP Sizing by Inference of Element Values Using Deep Learning,” IEEE International Symposium on Intelligent Signal Processing and Communication Systems 2017, WQ-L6, Xiamen, China, Nov. 2017.
- [13]. 大河内 一登, 高井 伸和, 吉澤 慧, 石井 司, “再帰的データベース構築によるアナログ電子回路の自動設計,” 第8回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETG-18-19, pp.63-66, 群馬大学, Mar. 2018.